

部分更新方式による
論理コンパイル時間の短縮

2M-1

三善正之 溝上良人 高木富恵 名倉康夫 長藤元宣
(株)日立製作所 日立コンピュータエンジニアリング(株)

1. はじめに

論理シミュレータの前処理として、論理設計ファイルから回路接続テーブルを作成する論理コンパイル処理がある。近年の論理装置の大規模化により、その処理時間が急激に増大している。論理シミュレータ本体については、シミュレーションエンジンの開発等により高速化が図られてきた。しかし、論理コンパイル処理時間の増大は、シミュレーションを進める上での隘路となっている。

ここでは、論理コンパイル処理時間短縮の手法として、一部の設計ファイルのみをコンパイル対象とする部分更新方式と、設計段階が上位レベルに移った際に有効な統合方式および、その適用結果について報告する。

2. 論理設計の方式

論理コンパイル対象となる論理装置は、図1のような階層構造となっている。また、設計はLSI→モジュール→基板→装置と下位から上位レベルへと段階的に進められている。このため、下記の不具合があり、隘路となっていた。

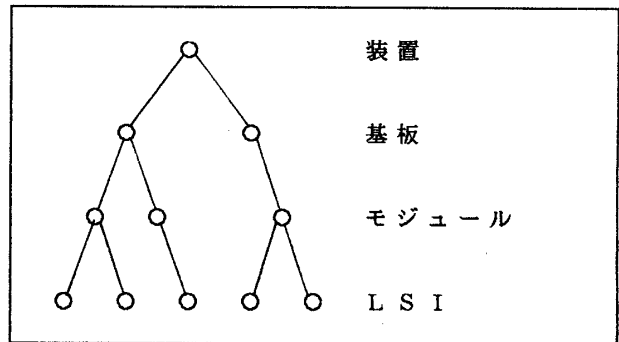


図1 論理装置の構成

- (1) 論理の一部を変更した際、装置全体について再コンパイルを実施しなければならない。
- (2) 論理検証済みLSIの上位での機能検証段階となった際、そのLSIを含むレベルでの再コンパイルが必要である。

3. 部分更新方式の概要

あるLSIにn回論理変更があった場合、従来方式では1+n回、一括更新を行い、変更のない部分についても回路接続テーブルを作成し直す。部分更新方式では、最初に1回、処理時間の長い一括更新を行う。n回の論理変更については回路接続テーブル中の変更LSIに該当する部分のみ作り直す。当方式により、図2に示すように全体の処理時間を20%短縮した。

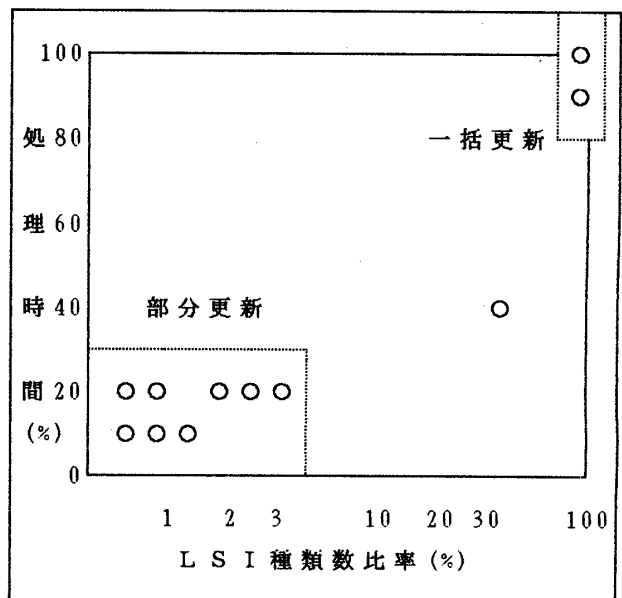


図2 部分更新方式の適用結果

Speed-up of Logic Compilation by Incremental Compilation

Masayuki MIYOSHI¹, Yoshito MIZOUE¹, Fumie TAKAGI², Yasuo NAGURA², Motonobu NAGAFUJI²

1. HITACHI, Ltd. 2. Hitachi Computer Engineering Co., Ltd.

4. 統合方式の概要

図3の論理についてモジュールレベルでの論理検証を行う場合、従来方式では対象論理全体について回路接続テーブルを作成し直していた。統合方式では図4のように、LSIの回路接続テーブルについては各LSI単体レベルでの論理検証時に作成したものを利用し、LSI同士の接続情報はモジュールの設計ファイルから取得する。当方式により、所要時間はLSIの接続処理のみとなり、LSI内部のコンパイル処理時間を低減できる。

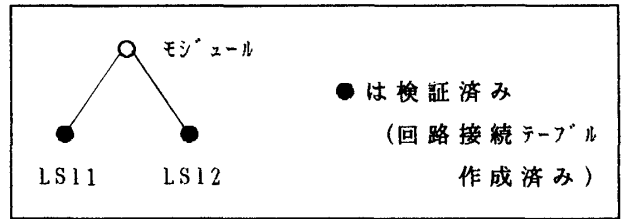


図3 サンプル回路

LSI レベル	LSI 1		LSI 2	
	A: LSI1の回路接続テーブル		B: LSI2の回路接続テーブル	
	LSI1 ○	一括更新 → A	LSI2 ○	一括更新 → B
モジュール レベル 方式	従来方式	モジュール ○ LSI1 LSI2 一括更新 → 回路接続テーブル 全体を更新	統合方式	モジュール ○ 統合方式 (A,Bをマージ) → 回路接続テーブルの LSI間接続のみ更新
		処理時間: 100%		処理時間: 15% (部分更新方式併用時)

図4 統合方式と適用結果

5. 適用結果と結び

部分更新方式と統合方式による論理コンパイル処理時間短縮について述べた。本方式は既に大規模装置の論理コンパイル処理に使用しており、装置の短期間開発に効果を発揮した。

また、部分更新方式は、LSIレベルだけでなく各階層レベルにおける部分更新も可能である。

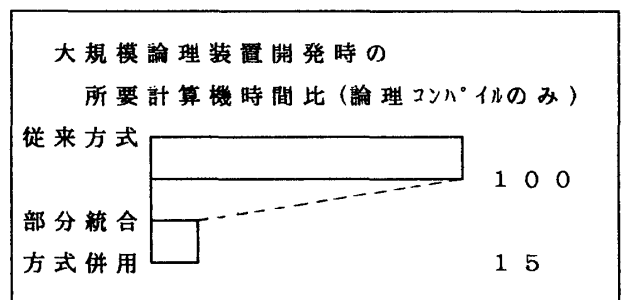


図5 適用結果

6. 参考文献

Y. Kazama et al: 「Algorithm for Vectorizing Logic Simulation and Evaluation of "VELVET" Performance」25th DA Conf. (1988) pp.231-236