

## ビットマップ・グラフィックスプロセッサEDPU

(3) 専用ハードウェアによる高速処理に関する評価

6L-4

望月義幸 杉村敏夫 東幸哉 神山祐史

松下電器産業(株) 情報通信関西研究所

## 1. はじめに

EDPUはCRT表示装置に対する制御を行うと共に、カラー図形の描画及び矩形領域データの転送を高速に実現するプロセッサである。EDPUの特徴を示す基本コマンドとして次のものがある。

- ・MV : 矩形領域転送コマンド
- ・TRANS : 色コード比較矩形領域転送コマンド  
または色コード展開矩形領域転送コマンド
- ・FLTRAP: 台形フィルコマンド
- ・LIN : 直線描画コマンド
- ・CRCL : 円描画コマンド

但し、以下本稿においては、便宜上TRANSを、色コード比較はTRANS-C、色コード展開はTRANS-Eとする。

EDPUの設計目標の一つとして、これらの基本コマンドの最高速時における実行速度が、次の値となることを目指していた。

- ・MV : 2マシンサイクル/ワード
- ・TRANS-C : 5/4マシンサイクル/ワード
- ・TRANS-E : 5マシンサイクル/ワード
- ・FLTRAP : 1マシンサイクル/ワード
- ・LIN : 2マシンサイクル/画素
- ・CRCL : 2マシンサイクル/画素

但し、ソース空間(転送元)、デスティネーション空間(転送先または描画先)は共にフレームメモリで、各空間は多値の場合4bit/画素(1画素を構成するbit数が4)、1ワードは32bit、1マシンサイクルは4クロックで、TRANS-C,Eについてはソース空間の1ワードに対する値である。

これらの設計仕様を満たすため、次の専用ハードウェアを投入している。

- ・データ転送のバイライン機構(特に2次元アドレス発生のための専用レジスタと加算器)
- ・画像データ入力部に於ける色コード比較器(特に色コード比較レジスタとコンパレータ)
- ・画像データ出力部における色コード展開器(特に前景色、背景色レジスタ及び展開回路)
- ・DDA(デジタル微分解析機)発生回路(2系統 - 直線専用、円・直線用)とそれに連動する2次元アドレス発生装置
- ・32ビットのデータバス

本稿では、これらの専用ハードウェアを投資することによって、上記の基本コマンドに対して

- 1) 設計目標の高速性が実現できたか
- 2) 前後処理や行間処理を含めた場合ではどうかについて、ソフトウェアシミュレータで行った評価結果に基づき報告する。

## 2. 評価方法

評価方法としては、条件を制約してソフトウェアシミュレータを実行し、その結果から実行ステップ数を算出する式を導出した。以下ソフトウ

エシミュレータ、評価ポイントについて述べる。

## 2.1 ソフトウェアシミュレータ

本シミュレータは、レジスタトランスファレベルの動作をシミュレーションするプログラムである。主要な入力情報は命令コードとパラメータであり、出力情報はマシンサイクル毎の内部レジスタの値と実行サイクル数である。実行サイクル数を内部実行サイクル数と、外部I/O実行サイクル数に分けてカウントすることができる。

## 2.2 評価ポイント

グラフィックスプロセッサ評価に於ける注意すべき事項として、コマンドの種類によっては、その実行ステップ数が、データ量だけではなく形状、位置にも依存するということがあげられる。形状に依存するコマンドとしては、転送コマンド、フィルコマンドがある。EDPUは描画コマンドに対しては画素単位で処理を行う。また、転送コマンド、フィルコマンドに対してはワード単位で処理を行う。n bit/画素の場合、画素数は32/nとなるので、同じ画素数でも処理するワード数は位置により異なる。従って、実行ステップ数が位置に依存する。この点に注意して評価を行うことが重要である。

## 3. 評価項目と条件

以下の事項を共通の評価条件とする。

- ・ソース空間、デスティネーション空間は共にフレームメモリ
- ・特に断わりがない限り、ソース空間、デスティネーション空間は共に4 bit/画素
- ・LIN, CRCL以外のラスタ演算はライトオンリーモード(ソースデータをそのままデスティネーションデータとする)

## 1) MV

- ・転送方向はスキャンラインの主走査方向(左から右に向かう水平方向)
- ・ソース空間において転送を開始、終了する画素の1ワード内の位置は、デスティネーション空間でそれらに対応する画素の1ワード内の位置より左側
- ・ソース空間での転送元の矩形領域の水平方向の画素数は8画素より大きい
- ・拡大、回転のオプションは無し

## 2) TRANS-C

- ・デスティネーション空間は1 bit/画素
- ・転送を開始する画素の1ワード内の位置、及びデスティネーション空間でそれらに対応する画素の1ワード内の位置は共に左端
- ・ソース空間での転送元の矩形領域の水平方向の画素数は32画素より大きく、水平方向の画素数と垂直方向の画素数は共に16の倍数

A Bitmap Graphics Processor EDPU

(3) Evaluation of High-speed Processing by Dedicated Hardware

Yoshiyuki MOCHIZUKI, Toshio SUGIMURA, Yukiya HIGASHI, Hiroshi KAMIYAMA

Kansai Information and Communications Research Laboratory

Matsushita Electric Industrial Co., Ltd.

3) TRANS-E

- ・ソース空間は1bit/画素
- ・ソース空間において転送を開始する画素の1ワード内の位置、及びデスティネーション空間でそれに対応する画素の1ワード内の位置は共に左端
- ・ソース空間での転送元の矩形領域の水平方向の画素数と垂直方向の画素数は共に16の倍数

4) FLTRAP

- ・フィルする台形は底辺、高さ共に8の倍数の画素数、内角が45度、135度の平行四辺形で輪郭線もフィルする

5) LIN

- ・LINで描画する直線の始点と終点は等しくない

6) CRCL

- ・CRCLで描画する円の半径は4画素より大きい

4. 評価結果

表1に実行ステップ数の算出式を示す。但し、Yは転送領域の行数、Wdは1行のワード数、Dは全描画画素数である。MVにおける算出式はデータフェッチ(ソース空間側データの読み出し)を換算している。TRANS-C,Eにおける算出式はデータフェッチを換算しない場合(Min)と換算した場合(Max)であるが、データフェッチは内部動作と並列に実行するので、実際はその間の値となる。1ステップの実行時間は、1マシンサイクルである。

(表1) 実行ステップ数

コマンド	前後処理	行間処理	転送または描画処理
MV	60	3Y	2Y*Wd
TRANS-C (Min)	101	27Y	3Y*Wd+19Y*[(Wd-1)/4]
(Max)	101	31Y	3Y*Wd+23Y*[(Wd-1)/4]
TRANS-E (Min)	82	6Y	4Y*Wd+3Y*[(Wd-1)/4]
(Max)	82	6Y	5Y*Wd+3Y*[(Wd-1)/4]
FLTRAP	173	255Y/8	Y*Wd
LIN	26	0	2D
CRCL	131	0	2D

(注意) [x]はxを超えない最大の整数

5. 考察

上記4で算出した合計ステップ数をSUMとする。MV,TRANS-C,E(Min),FLTRAPの最高速時における実行速度は、Y=1としたときの  $\lim(Wd \rightarrow \infty) SUM/Wd$  で、LIN,CRCLについては  $\lim(D \rightarrow \infty) SUM/D$  で算出することができる。算出結果を以下に示す。

- ・MV : 2マシンサイクル/ワード
- ・TRANS-C(Min): 31/4マシンサイクル/ワード (Max): 35/4マシンサイクル/ワード
- ・TRANS-E(Min): 7マシンサイクル/ワード (Max): 8マシンサイクル/ワード
- ・FLTRAP : 1マシンサイクル/ワード
- ・LIN : 2マシンサイクル/画素
- ・CRCL : 2マシンサイクル/画素

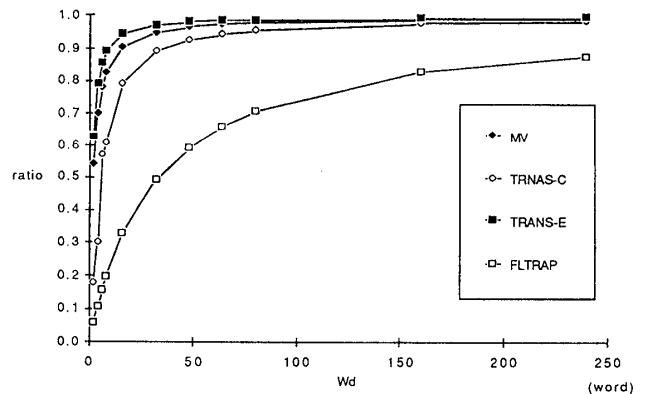
MV,FLTRAP,LIN,CRCLは設計目標通りの速度を実現している。TRANS-C,Eの場合、ソース空間からデータフェッチし、データを組み立て処理してデスティネーション空間に転送する。このデータ組み立ては汎用のパレルシフトを使って、マイクロプログラムで終了判定等の制御をしながら行うため、上記の結果となった。

次に前後処理、行間処理を含めた場合について考察する。表1の実行ステップ数から(転送または描画処理)/(SUM)の比率が、ワード数や行数、画素数の変化に対応して、どう変化するかを見ることによって、前後処理や行間処理の影響の変化が分かる。MV,TRANS-C,E,FLTRAPの比率は

$$(\text{比率}) = CY*Wd / (A+BY+CY*Wd)$$

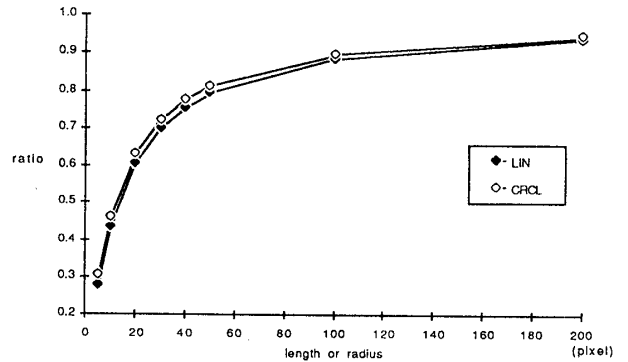
但し、A,B,C>0

と書ける。この式はY>0を固定したときは漸近線が(比率)=1のWd>0の増加関数(双曲線)なので、ワード数の増加に伴い前後処理、行間処理の影響は減少する。Wd>0を固定したときもY>0の増加関数(双曲線)であるが、漸近線は(比率)=CWd/(B+CWd)となる。故に、行数の増加に伴い前後処理の影響は減少するが、行間処理の影響は比率の収束先に現われる。図1にY=160とした時のMV,TRANS-C,E(Min),FLTRAPの比率のグラフを示す。



(図1) MV,TRANS-C,E,FLTRAPの比率のグラフ

LIN,CRCLの比率のグラフを図2に示す。但し、横軸はLINの場合は描画画素数、CRCLの場合は半径の画素数(半径≒D/4√2)である。



(図2) LIN,CRCLの比率のグラフ

6. おわりに

以上、本稿の目的である、高速性の実現に対する確認と、前後処理や行間処理の実行時間に対する影響について示した。

更に高速な処理の実現には、機能を絞り込み、その機能に特化したアルゴリズム、及びそれに適した専用ハードウェアを採用することや、前後処理の影響の大きいFLTRAP等のためにパラメータ加工用のプリプロセッサを取り込む等の方法が考えられる。

参考文献

- [1] 東幸哉他: "グラフィックプロセッサの2値化、多値化変換方式に関する一考察", 電子情報通信学会春季全国大会, c-272, 1988