

ビットマップ・グラフィックスプロセッサEDPU

(1) 開発コンセプトと内部構成

6L-2

東幸哉 神山祐史 堀内浩一 杉村敏夫 西澤貞次

松下電器産業(株) 情報通信関西研究所

1. はじめに

今日PC、WS等のOA機器ではMMIの向上を目的に、グラフィックスの強化が行われており、グラフィックスをサポートするLSIも数多く発表されている。これらのLSIの実現方法としては、大きく次の2つの方法がとられている。

(1) CPUにビットマップ制御用命令を付加する。

(2) 専用ハードウェアを内蔵し、高レベルのコマンドインタフェースをもたせることでプロセッサを専用化する。

我々は、高速処理を目的に、後者の方法を選択しビットマップ・グラフィックス用のプロセッサEDPUを開発した。本稿では、EDPUの開発コンセプトと内部構成について、高速化と機能の汎用化の面から述べる。

2. 専用プロセッサの開発意義

ビットマップ・グラフィックス用プロセッサの開発意義としては以下の2点が挙げられる。

(1) 処理対象となるデータ構造への整合性

一般にCPUは1次元のデータ列の処理を対象とするのに対し、専用プロセッサは当初から2次元アドレス空間を意識したハードウェア構成を採用することができ

- ・BitBLTの行間の処理
- ・直線描画、円描画でのアドレス発生
- ・クリッピング、ピッキング

等のグラフィックス処理の高速化が図れる。

(2) 画像データ特有の処理が集積可能
フレームメモリに格納される画像データは、従来CPUが扱っていたコマンド・パラメータというデータとは性質が異なり、以下に示すような特殊な処理もプロセッサに要求される。

(a)多値化データ処理

表示装置の多色化が進み、フォントROM内の2値データから多値データ(色コード)に展開した文字発生が求められてきた。

(b)表示、リフレッシュと図形発生処理の調停

表示装置に表示するデータを蓄えるフレームメモリは、図形発生以外に表示のためのアクセスが必要である。また、フレームメモリは一般にDRAM(VRAM)で構成され、メモリに対するリフレッシュも必要となる。

3. 開発コンセプトとLSI仕様

EDPUを開発するにあたり、特に以下の2点について注力した。

(1)高速化

システムネックとなる、プロセッサとフレームメモリ間のバス使用効率を最大限に上げ高速化を図る。

(2)機能の汎用化

内蔵する機能の拡張性を考慮し、種々のシステムへの柔軟な対応を図る。

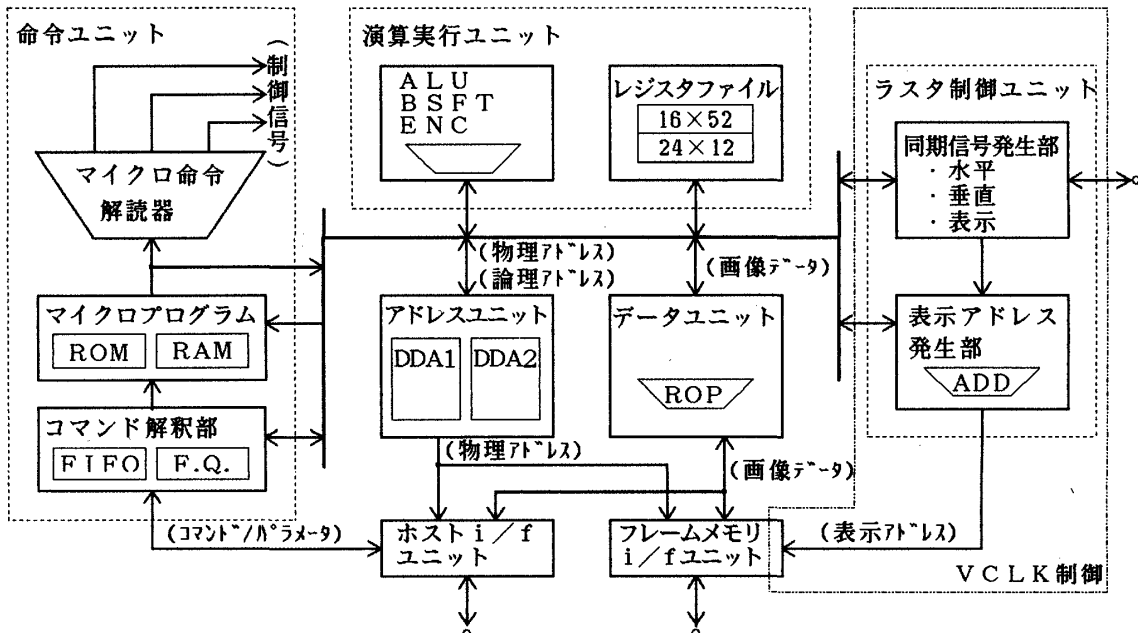


図1. EDPU内部ブロック図

4. 内部構成

EDPUは図1の内部ブロック図に示すように以下の7つのユニットより構成される。

(1) 命令ユニット
 コマンドを解釈し内部のハードウェアを制御するユニットである。コマンド解釈部には、CPUからの命令を格納するFIFOと、EDPU自らコマンド・パラメータをフェッチし格納する為のフェッチキュー(F.Q.)を備える。
 マイクロプログラム命令格納用メモリとして
 ・5Kワード×32ビットのROMに加え
 ・128ワード×32ビットのRAMを内蔵している。

(2) 演算実行ユニット
 32ビットのバレルシフト(BSFT)、24ビットのALU、プライオリティエンコーダ(ENC)、レジスタファイルから構成する。ALUはコマンドのパラメータの加工を行い、アドレスユニット、データユニットの専用レジスタに値を設定する。

(3) アドレスユニット
 2系統のDDA回路¹⁾を持ち、論理アドレスと物理アドレスの発生を制御する。また、ビッキング、クリッピングの為の論理アドレス比較器を内蔵する。

(4) データユニット
 ラスタ演算用の専用の32ビット演算器(ROP)を内蔵する。データ転送処理が連続して行える3段のパイプライン構成²⁾をとっている。

(5) ラスタ制御ユニット
 CRT制御信号発生と表示用のアドレス発生を行う。他のユニットとは異なり、表示系のクロックVCLKによって動作する。

(6) ホストI/Fユニット
 命令ユニットからの命令フェッチ要求と、アドレスユニット、データユニットからの描画・フィル・転送要求を調停してホストメモリにアクセスする。

(7) フレームメモリI/Fユニット
 ラスタ制御ユニットからの表示要求と、リフレッシュ要求、アドレスユニット、データユニットからの描画・フィル・転送要求を調停してフレームメモリにアクセスする。

5. 高速化、機能の汎用化のための方策

(1) 高速化
 高速描画、転送機能実現のため、主にアドレスユニットとデータユニットで以下の方法をとった。

(a) 特定のアルゴリズムをハードウェア化
 ・描画制御DDAアルゴリズム
 ・矩形領域転送の行間アドレス計算
 ・クリッピング、ビッキング
 ・ワード内ピクセル選択マスク発生
 ・2値データ/多値データ変換
 を行う専用のハードウェアを内蔵することで、連続したバスサイクルの発生を可能にした。

(b) バスサイクルの高速化
 表示系のクロックと内部動作のクロックを分離し、表示装置とは独立にフレームメモリサイクル(最高160nsec)でLSIを動作可能にした。

(c) 並列動作
 以下の4種の機能ユニットを並列動作させることを可能にした。
 ・命令ユニット
 ・演算実行ユニット

・アドレスユニットとデータユニット
 ・ラスタ制御ユニット
 (d) バス資源の分配
 32ビットのフレームメモリバスとは独立にコマンド・パラメータ用のホストメモリバスを設けバスの負荷分散を行った。

(2) 機能の汎用化
 (a) ユーザ定義のコマンド実行が可能
 制御記憶の一部をRAM(WCS)で実現してユーザ定義のコマンドの実行を可能にすることで、専用プロセッサの中に機能拡充の方法を取り入れた。

(b) コマンドの汎用化
 マイクロプログラム制御方式を採用し、コマンドのパラメータ加工に柔軟性を持たせることで、各コマンドでのオプション指定(表1)を可能とした。また、コマンド領域と、パラメータ領域の分離を行い、描画処理のモジュール化³⁾を可能にした。

6. おわりに

以上の考えに基づき、表1に示す専用プロセッサを13.9mm×13.9mmのチップサイズに約387,000トランジスタを集積して実現した。

今後は、
 (1) 機能を絞り込むことでの高速化
 (2) フレームメモリの構成までを含めたアーキテクチャの追求が課題である。

表1 EDPU諸元

| 項目 | 内容 |
|---|---|
| テクノロジー パッケージ 最大動作周波数 | CMOS 1.2μm 2層7μm 124pinフラットパッケージ 25MHz(CLK: 内部動作) 25MHz(VCLK: 表示系) |
| コマンド数 転送系 フォント転送系 描画系 フィル、ポイント系 | 75(主な指定可能オプション) (回転、拡大・縮小) (回転、拡大、傾斜) (線種、太線描画) (塗り潰しパターン) |
| メモリサイクル | 160nsec(FM) 同期式 320nsec(HM) 非同期式 |
| メモリ空間 | 64MByte(FM) 32MByte(HM) |
| BitBLT 直線、円描画 | 100Mbit/秒(連続I/O時) 3.1M画素/秒(同上) |
| その他 | クリッピング、ビッキング コマンドフェッチ機能 |

参考文献

- 堀内他: “ビットマップ・グラフィックスプロセッサEDPU (2) 高速描画と多機能の特徴とするDDAの実現”, 本大会予稿, 1990
- 東他: “グラフィックスプロセッサの2値化、多値化変換方式に関する一考察”, 電子情報通信学会春期全国大会, C-272, 1988
- 若林他: “グラフィックスプロセッサにおける描画処理のモジュール化に関する考察”, 同上, C-273, 1988