

5 L - 6

並列シミュレーションマシン Cenju 上の LSI ルーターの評価

山内 宗 中田登志之

石塚昭夫 西口信行 小池誠彦

日本電気(株)

1 はじめに

我々は、64 台の要素プロセッサで構成された並列シミュレーション・マシン Cenju[1][2] を開発して来た。並列計算機のアーキテクチャの評価を行なう際には、実用レベルの大規模な応用プログラムが必要であり、その一つとしてゲートアレイの配線処理を実装、評価したのでそれについてここに報告する。

2 並列シミュレーション・マシン Cenju

並列シミュレーションマシン Cenju は 8 個のクラスタで構成され、各クラスタ間はバケット交換の多段網で接続されている。各クラスタは、バスで接続された 8 台の要素プロセッサ (PE) で構成されている。メモリ空間は各 PE に分割された分散共有メモリの構成をとっている。また、各 PE 間の通信、同期は共有メモリや remote procedure call(rpc)、barrier 等を用いて実現することが可能である。

3 配線アルゴリズム

Cenju に実装した配線アルゴリズムは「改良線分探索法」[3][4] を基本としたものである。このアルゴリズムは、基本的には格子を用いないグリッドレス・ルーターの一種であり、障害物、既配線、スルーホール等を物体として扱うことにより、メモリ使用量の削減を図っている。「改良線分探索法」では、障害物等の周辺にその領域を回避する様な配線経路の候補となる線(エスケープ・ライン、EL)を予め生成し、それらの EL の中から最小折れ曲がりの経路を求める。但し元のアルゴリズムではゲートアレイ等の多層構造の配線領域への対応、細かなデザイン・ルールへの対応がなされていないのでそれらの改良を施している。

4 並列線分探索法

4.1 基本アルゴリズム

配線の基本アルゴリズムは以下の流れに沿っている。

1. CP(Corner Point) の生成
2. CP のチェック
3. EL(Escape Line) の生成 (以上前処理)
4. 接続端子周辺の CP、EL の除去
5. 接続端子からの探索線生成
6. EL の探索 (以上探索処理)
7. バックトレース (配線経路の完成)
8. EL の更新
9. 次のピンペアを配線するために 4 へ戻る

Evaluation of an LSI Router on the Parallel Simulation Machine Cenju

Tsukasa YAMAUCHI, Toshiyuki NAKATA, Akio ISHIZUKA, Nobuyuki NISHIGUCHI, Nobuhiko KOIKE  
NEC Corporation

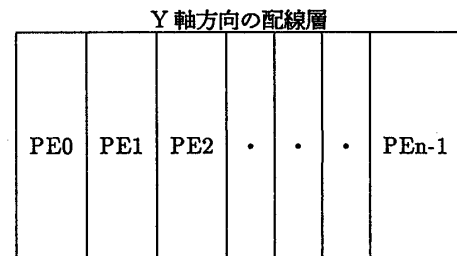
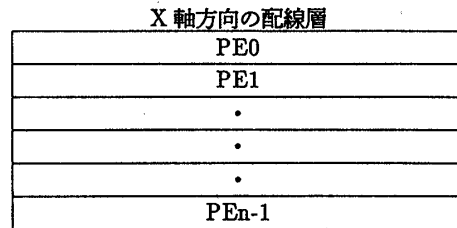


図 1: 各 PE への配線領域の割り当て

4.2 各 PE への割り振り

配線領域は配線層毎に配線方向(主軸方向)が決まっているので、PE の数を n 台とすると、各配線層毎に配線方向に合わせて n 分割する(図 1)。例えば、配線方向が X 軸方向の層は、Y 座標を n 分割してそれぞれの X 軸方向に長い帯状の領域を、その PE が探索する領域として割り当てる。

4.3 前処理の並列化

4.1 節で述べた処理のうち、CP の生成、CP のチェック、EL の生成は、配線の前処理に相当する。各 PE は障害物の位置さえわかっていたら自分の担当する領域の CP、EL を生成することが出来る。そこで、前処理を以下の様にして並列に実行する。

1. マスタとなる PE(PE0) は、配線用のデータファイルをホスト計算機(EWS4800)から読み込み、各 PE(PE1 から PEn-1) に、それぞれが担当する領域に存在する障害物についてのデータを分け与える。
2. 各 PE は、マスタから受け取った障害物に関する情報に基づいて、それらの障害物の周辺に CP を生成する。
3. 各 PE は、生成した CP がデザイン・ルールを満たしていないかどうかをチェックし、満たさないものに関しては、消去する。
4. 各 PE は、生成した CP から EL を生成する。

この処理は、プロセッサ間通信をほとんど必要としないので、高い並列度を得ることが出来る。

#### 4.4 探索の並列化

前処理で生成した EL を基にして配線経路の探索を行なうが、この処理は配線処理全体の 90% 以上を占め非常に負荷が重い。従って、探索処理を以下の様に並列に実行する。

1. これから接続する端子の周辺に存在する CP、EL を除去する (その端子が属する PE が担当)。
2. 接続端子から探索線を生成する (端子が属する PE が担当)。
3. ソース側の端子から生成した探索線をマスタに送り、マスタはそれをキューに入れる。
4. 各担当 PE は、ターゲット側から生成した探索線を EL として登録する。
5. マスタはキューに入っている探索線を取り出し他の PE へ送る。
6. 各 PE は、マスタから送られて来た探索線と交差する EL を自分の担当領域内の EL から探しだし列挙する。
7. 各 PE は列挙した EL の中にターゲット側の端子から生成された EL があるかどうかをチェックする。もしなければ、それらの列挙した EL を新たな探索線としてマスタへ送り、マスタのキューに入れる。逆に、もしあれば、配線経路が見つかったことになり、マスタが探索線のバックトレースを行なって配線経路を完成する。

#### 4.5 EL の更新

1 ネット分の配線が終了すると、その配線は障害物となるので、EL の更新を行なう必要がある。これは、バックトレースを終え、経路を決定した後でマスタがその新しい経路を各 PE に伝え、各 PE はそれに従って自分の担当する領域の EL を更新することによって実現される。

### 5 並列 LSI ルーターの評価

図 2,3 に並列 LSI ルーターの評価結果 (速度向上比) を示す。これは、

1. 配線領域の格子が 739 × 781 のゲートアレイに 152 ピンペアの配線 (障害物 8,765 個)
2. 配線領域の格子が 2,832 × 2,742 のゲートアレイに 254 ピンペアの配線 (障害物 54,867 個)

の二種類の配線結果である。これを見ると、一番目の比較的小規模の配線問題では、PE 数が 30 台程度以上になると台数効果が飽和してしまっていることがわかる。これは、問題が小さ過ぎることが原因と考えられる。また、二番目の比較的大きな配線問題では、台数効果の飽和の程度はやや少なくなっているが、それでも頭打ちの傾向が見られる。これは、EL の探索の際にマスタに配線経路の候補を集めている部分がボトルネック (通信ネック) になっているためである。

### 6 おわりに

本報告では、並列シミュレーションマシン Cenju の応用の一つとして並列 LSI ルーターを実装し、その評価結果について述べた。その結果、Cenju のアーキテクチャは LSI ルーターの高速化にも十分適することがわかった。

さらに、今回実装した並列 LSI ルーターは、かなり並列度が高いという知見が得られたが、アルゴリズムに荒削りな部分が多く、今後の検討を要する部分が多い。また、現在のところ配線率が低いのも問題となっている。今後の課題としては、

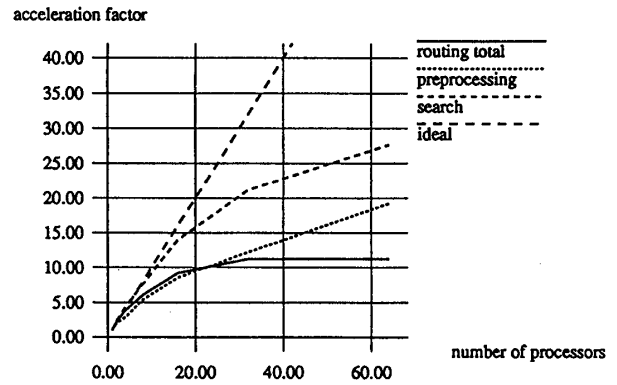


図 2: 並列ルーターの速度向上比 (格子数 739 × 781 のゲートアレイ)

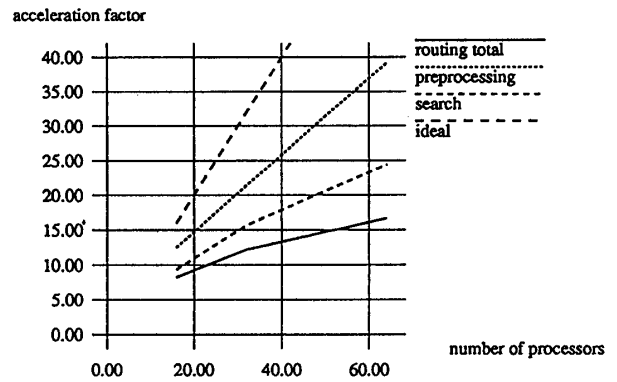


図 3: 並列ルーターの速度向上比 (格子数 2,832 × 2,742 のゲートアレイ)

- 通信のボトルネックとなっている部分の対策
- 配線速度の向上 (概略配線の検討)
- 配線率の改善 (概略配線、副軸配線の検討)
- 負荷分散の検討

等が挙げられる。

### 7 参考文献

1. 中田、田辺、梶原、松下、小野塚、浅野、小池、「並列回路シミュレーションマシン Cenju」、情処第 40 回全国大会 (1990)
2. 小池、中田、田辺、小野塚、黒部、「並列回路シミュレーションマシンのプロトタイプ」、信学技報、CPSY87-19(1987)
3. K.Suzuki, T.Ohtsuki and M.Sato, 'A Gridless Router: Software and Hardware Implementations', VLSI '87, pp121-131(1987).
4. 小島、鈴木、佐藤、大附、「ヒープ探索木を用いた改良線分探索法」、信学技報、VLD88-9, pp65-72(1988)
5. 高見沢、田崎、石塚、西口、矢部、「VLSI 会話型配線システム - TRITON -」、信学技報、VLD89-27, pp37-42(1989)
6. 石塚、野田、西口、「大規模 3 層ゲートアレイの配線手法」、信学技報、VLD87-97(1987)