

## 共有バス方式マルチプロセッサシステムにおける

## キャッシュデータ一致プロトコルの方式評価

## 4L-5

西井修, 青木郭和, 内山邦男, 波多野進<sup>†</sup>(株)日立製作所中央研究所, (株)日立製作所半導体設計開発センタ<sup>†</sup>

## 1. はじめに

共有バス方式のマルチプロセッサシステムにおいては共有バスの混雑を防ぐ観点から、各々のプロセッサにキャッシュを付すこと、その中でも特にプロセッサの書き込みをプロセッサとキャッシュの間で完了するコピーバック方式が有効である[1]。[1]では新たなマルチプロセッサシステムにおけるデータ一致制御方式としてシフトスルー・プロトコルを提案している。本稿ではCPUバストレースを利用したキャッシュチップのシミュレーション結果をもとに、4台のマルチプロセッサシステムにおける共有バス使用率を評価した。この評価によってマルチプロセッサシステムにおけるシフトスルー・プロトコルの有効性を確認した。

## 2. 評価方法

評価にあたっては32ビットCPUであるH32/200の時刻付き外部バストレースデータを入力とする、キャッシュのシミュレータの実行結果をベースとした。ただし、本シミュレータではキャッシュミスの要因でReady信号が遅れ、次に来るはずのCPUのバスサイクルと重なりが生じたときに、それ以降のCPUアクセスの発生時刻を順次繰り延べる。

本シミュレータによって得られるキャッシュ動作データは単一CPUのものである。そのデータを4台マルチプロセッサ構成のものとするにあたっては、主記憶の使用は4倍となる。さらにマルチプロセッサ間のデータ交換の効果を、次の条件のもとに評価した。

条件: キャッシュが命令/データをとりこむとき、命令の0%、データの5%が他のキャッシュの中でDirtyな状態で存在する。その命令/データのとりこみ時に不一致解消動作が起こる。

## 3. 評価結果

シフトスルーとライトワンス[2]、および参考としてライトスルーの3方式について評価を行った。3方式の違いは書き込み時の制御方法にある(表1)。ただし表1で', 'は処理の逐次実行、'+ 'は処理の同時実行を示す。また、近い将来、メモリよりもプロセッサの方が相対的に速度向上が大きいと見込まれるので、主記憶アクセスサイクルは、第1ワード目を8クロック、第2ワード目以降はNibble Mode等の使用により2クロックとした。

評価結果を表2に示す。シフトスルーはライトワンスと比較してライトサイクルの約半分を削減し、共有バスの混雑を低減している。

シフトスルーとライトワンスは両者ともDirtyなブロックを排他制御するために、Dirtyとなる過程で他のキャッシュの同一ブロックを無効化する必要がある。ライトワンスにおいては無効化のために行うW1サイクルがマ

表1. 評価した3方式の書き込み制御方法

プロトコル	条件	行動	次状態
ライトスルー	Hit (V)	W1 + wc	V
	Miss	W1	I
ライトワンス	Hit (V)	W1 + wc	R
	Hit (R, D)	wc	D
	Miss	(BW), BR, W1 + wc	R
シフトスルー	Hit (V)	PG + wc	D
	Hit (D)	wc	D
	Miss	(BW), BR&P, wc	D

注) BR : ブロック読み込み,  
BR&P : ブロック読み込み兼無効化,  
BW : ブロック書き込み,  
W1 : 1ワードライト,  
PG : パージ(無効化),  
wc : キャッシュへの書き込み,  
I:Invalid, V:Valid, R:Reserved, D:Dirty

} 共有バスアクセス

表2. 共有バス使用率(シミュレーション結果)

アクセス	プロトコル	ライトスルー	ライトワンス	シフトスルー
BR, BR&P		8.0	24.0	24.0
BW		-	8.3	8.6
W1		73.2	9.3	-
PG		-	-	0.2
不一致解消		-	0.9	1.0
計		81.2%	42.5%	33.8%

条件: 4プロセッサ, ブロック長 16B, 共有バス幅 4B,  
ブロック転送 14クロック, 1ワードライト 8クロック,  
パージ 3クロック

キャッシュヒット率: 98%(リード), 96%(ライト)

マルチプロセッサ・オーバーヘッドとなっている。シフトスルーはライトワンスに比べ、無効化をPG、またはBR&Pで行うところが利点である。W1サイクルは主記憶のアクセス時間を要するのに対し、PGサイクルはキャッシュのバスウォッチサイクル時間で足りる。また、BR&Pは本来のデータの読み出し時間に無効化を兼用し、ライトワンスのBR, W1動作のオーバーヘッドを解消している。

## 4. まとめ

共有バス上におけるデータ一致プロトコルの評価を行い、シフトスルー・プロトコルの有効性を確認した。マルチプロセッサシステムの性能について今後さらにシミュレーションで評価する予定である。

## 参考文献

- [1] 内山 他: "共有バス方式マルチプロセッサシステムにおけるキャッシュデータ一致プロトコルの提案", 情報処理学会第40回全国大会。
- [2] Goodman, J. R.: "Using Cache Memory to Reduce Processor-Memory Traffic", Proc. of 10th Int. Symp. on Computer Architecture, 1983, pp.124-131.