

4L-4

共有バス方式マルチプロセッサシステムにおける
キャッシュデータ一致プロトコルの提案

内山邦男¹、西井修¹、青木郭和¹、波多野進²

(株)日立製作所中央研究所、²(株)日立製作所半導体設計開発センタ

1. はじめに

共有バス方式のマルチプロセッサシステムでは、共有バスの使用が混雑するため、バスネックとなるのが問題となっている。これに対し各々のプロセッサにキャッシュを付すことによって、共有バスのアクセス頻度を大幅に低減することができ、システム性能の向上に役立つ。しかし、キャッシュを含むマルチプロセッサシステムでは同一番地に対応する記憶部が複数箇所に存在するためその間のデータの一致性を保たなければならない。このデータ一致を保つためのデータ一致プロトコルのうち、近年はライトスルーよりも共有メモリへの書き込み頻度が低いコピーバックに基づく方法が注目され、様々なプロトコルが提案されている[1]。われわれはコピーバックに基づく一方法であるシフトスルー・プロトコルを新たに提案する。本プロトコルは、キャッシュのブロック状態数がコピーバックとして最小の3ですむために、単純な制御で実現が可能である。

2. シフトスルー・プロトコル

シフトスルーにおいてキャッシュの各ブロックの状態は次の3状態である。

- ・ I (Invalid): データが存在しない。
- ・ V (Valid) : データが存在し、更新していない。
- ・ D (Dirty) : データが存在し、更新している。

また、共有バス上で行われるバスサイクルは次の4種類である。

- ・ BR : ブロック読み込み
- ・ BR & P : ブロック読み込み兼無効化
- ・ BW : ブロック書き込み
- ・ PG : ページ(無効化)

シフトスルーの状態遷移図を図1に示す。プロセッサのライト時、もしブロックの状態がVならばDに遷移すると同時にPGサイクルを発行する。またプロセッサのライトミス時には目的ブロックの読み込みをBR & Pサイクルで行うと同時に、IからDに遷移する。以上、D状態へシフトする時に共有バス上に無効化サイクルを発行するので本プロトコルをシフトスルーと名づける。

3. 実現方法

シフトスルーを実現するためには、共有バスに次の2本の信号が必要となる。

- (1) 無効化指示信号: キャッシュがPGあるいはBR & Pサイクルを発行する場合に、同時にアサートされる。他のキャッシュは、このサイクルを監視して、自分自身の中にあるヒットブロックを無効化する。
- (2) 更新指示信号: キャッシュが共有バス上のBRサイクルを監視して自分自身の中にD状態のヒットブロック

があれば、更新指示信号をアサートしてBR発行元キャッシュにBRサイクルを中断させ、D状態のブロックをコピーバックしてメインメモリを更新する。その後、BRサイクルが再開され最新のデータがキャッシュに読み込まれる。この更新動作を図2に示す。

本シフトスルーでは上記2つの信号によりデータ一致制御ができるので、シナプス法[2]のメインメモリに対する付加オーナーシップビットのようなハードウェアの増加がない。

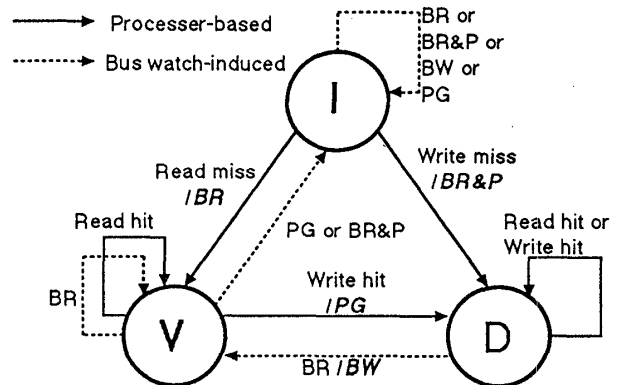


図1. シフトスルーの状態遷移図

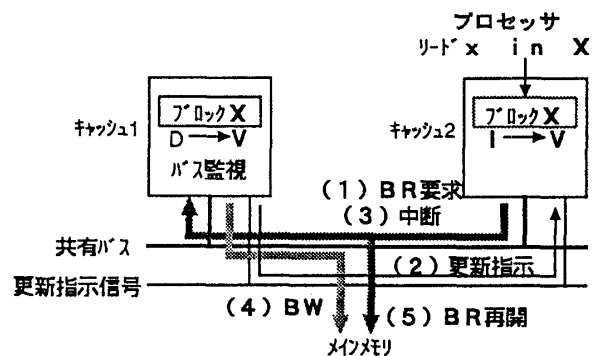


図2. 更新動作

4. まとめ

共有バス上におけるデータ一致プロトコルとしてシフトスルー・プロトコルを提案した。ブロック状態数3の本プロトコルは、共有バス上に信号線2本を追加することにより完全なデータ一致制御ができることを示した。

参考文献

[1] Archibald, J., et al., "Cache Coherence Protocols: Evaluation Using a Multiprocessor Simulation Model," ACM Trans. on Computer Systems, Vol. 4, No. 4, Nov. 1986, pp. 273-298.
[2] Frank, S. J., "Tightly Coupled Multiprocessor System Speeds Memory-Access Times," Electronics, Jan. 12, 1984, pp. 164-169.