

データ駆動計算機 E D D E N の演算機構

3 L - 6

大橋秀紀 三浦宏喜 田中一行 川口正樹 清水雅久 森 憲敬
 三洋電機(株) 情報通信システム研究所

1. はじめに

我々は、実用的な並列処理計算機の実現に向けてデータ駆動計算機 E D D E N (Enhanced Data Driven Engine) の開発を進めている。E D D E N では 1 チップ CMOS-LSI によって実現する要素プロセッサ (PE) を最大 1024 台接続した大規模並列処理計算機の実現を目指している。E D D E N の開発方針の概要、通信制御方式及び発火制御、カラー管理に関しては既に報告済みである。^{(1) (2) (3)}

本稿では、E D D E N の大きな特徴であるベクトル演算制御機構を中心に述べる。

2. E D D E N 要素プロセッサの構成

図 1 に E D D E N 要素プロセッサ (PE) L S I の構成を示す。PE はトラス結合網に基づくルーティング制御を行う通信制御部 (NC)、パイプラインリング上のデータ流の変動を吸収するキュー (Q)、制御情報の付け替え、データのコピー、定数の付与を行うプログラム記憶 (PS)、オペランドの待ち合わせと関数共用時のカラーの獲得/返却を行う発火制御・カラー管理部 (FCCM)、32ビット浮動小数点演算、整数演算、ベクトル演算、ベクトル通信命令、条件判定、分岐命令などを行う命令実行部 (EXE)、ベクトル演算命令の制御、各部からの外部メモリアクセス要求の調停を行うベクトル演算・外部メモリ制御部 (VC) などから構成されている。

3. ベクトル演算機構の導入

パイプラインリング方式のデータ駆動計算機では、2項演算実行時の演算パイプライン充足率が最大でも 50% となってしまいます。また、特に配列などの定型的構造体に対して単純な計算を繰り返す際には、問題のいわゆる横方向の並列度の不足とループオーバーヘッドにより、演算パイプライン充足率がさらに低下するという問題があった。

E D D E N では、この問題に対処するために演算部にベクトル演算機構を導入した。即ち、ベクトル演算命令が発火すると外部メモリに格納されたベクトルデータに対して局所的に繰り返し演算を施す。

さらに、単一の演算パイプラインをこのようなベクトル演算とパイプラインリングによる通常の 2 項演算 (ス

カラ演算) が時分割で共用する方式により、演算パイプラインの充足率を最大限まで向上させることを可能にしている。即ち、ベクトル演算命令実行時に、ベクトル演算のみが演算部を使用するのではなく、メモリアクセスなどの演算部の空き時間には、発火制御部から入力されるスカラ演算命令を実行し、ベクトル演算命令とスカラ演算命令の並列的実行を可能としている。

また、ベクトルデータの送信、受信もベクトル演算と並列的に行い、かつパイプラインリングの動作に影響を及ぼさないよう考慮している。

4. ベクトル演算・外部メモリ制御部の構成

図 2 にベクトル演算及び外部メモリ制御部 (VC) の構成を示す。

演算ベクトル長レジスタ (Nレジスタ) はベクトル演算を施すベクトル長を指定するカウント機能付きレジスタであり、ベクトル演算を実行するごとにレジスタ値をデクリメントし、レジスタ値が 0 になるとベクトル演算を終了させる。通信ベクトル長レジスタ (Mレジスタ) は、同様に他の PE と通信するベクトルデータの長さを指定するカウント機能付きレジスタである。

左オペランドアドレスレジスタ (L Aレジスタ)、右オペランドアドレスレジスタ (R Aレジスタ) はベクトル演算時に、外部メモリに対して、それぞれ L 及び R オペランドアドレスを指定するアドレスレジスタであり、

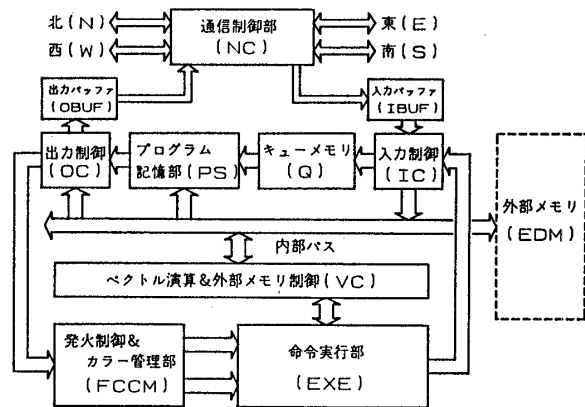


図 1. E D D E N 要素プロセッサの構成

Execution Mechanism for The Data Driven Computer "EDDEN"

Hideki OHASHI, Hiroki MIURA, Kazuyuki TANAKA, Masaki KAWAGUCHI, Masahisa SHIMIZU, Noriyuki MORI
 SANYO Electric Co., Ltd.

結果アドレスレジスタ (Dレジスタ) は演算結果を格納する外部メモリのアドレスを指定するアドレスレジスタである。また通信アドレスレジスタ (Cレジスタ) はベクトル通信時のベクトルの各要素アドレスを指定するアドレスレジスタである。

各アドレスレジスタ用のアドレス増分レジスタとしてLレジスタ、Rレジスタ、Dレジスタ、Cレジスタを有する。

実行時には、アドレスレジスタ及び増分レジスタに初期値が設定され、ベクトル演算またはベクトル通信命令が発火すると、増分レジスタと出力されているアドレス値により、アドレスアダーに於て次アドレスを計算する。スカラレジスタ (Sレジスタ) はベクトル演算用のスカラデータの格納用レジスタで、間接アドレスレジスタ (IDAレジスタ)、間接データレジスタ (IDDレジスタ) は間接アドレッシングを含むベクトル命令実行時に使用するレジスタである。

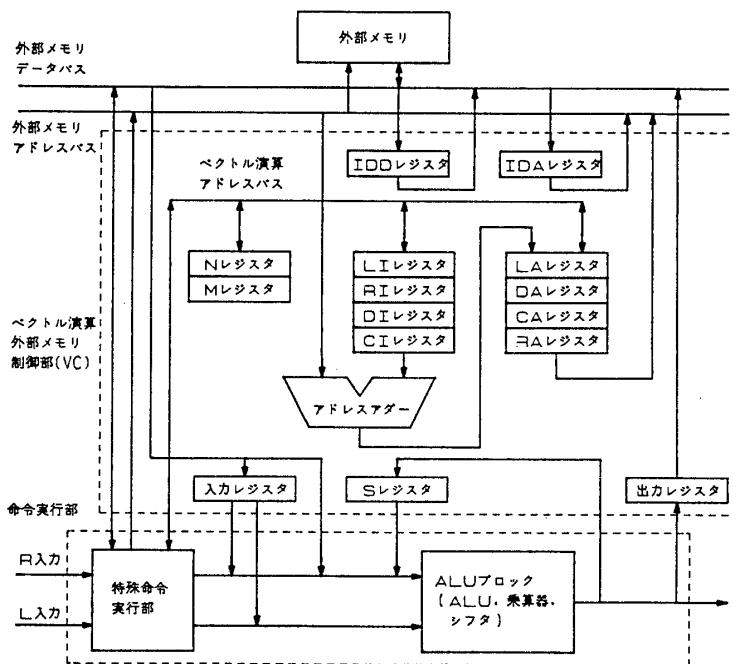


図2. ベクトル演算・外部メモリ制御部の構成

5. ベクトル命令の種類

EDDENでは以下の7種類のベクトル演算命令をサポートしている。(但し、OPは演算、Vはベクトル)

① OP V → V

Lレジスタにより読み出したベクトルを左右のオペランドとして演算を施し、結果をDレジスタの示すアドレスに格納する。

② V OP V → V

Lレジスタにより読み出したベクトルを左オペランドとし、Rレジスタにより読み出したベクトルを右オペランドとして演算を施しその結果をDレジスタの示すアドレスに格納する。

③ S → V

Sレジスタ値 (定数) をDレジスタの示すアドレスに格納する。

④ OP V → S

Lレジスタにより読み出したベクトルを左オペランドとし、Sレジスタを右オペランドとして演算を施し演算結果によってSレジスタを更新する。

⑤ V OP → V

Lレジスタにより読み出したベクトルを左オペランドとし、Sレジスタを右オペランドとして演算を施し結果をDレジスタの示すアドレスに格納する。

⑥ [V] → V

Lレジスタによりメモリから読み出したデータをアドレスとして再度メモリを読みだし、その結果をDレジスタの示すアドレスに格納する。

⑦ V → [V]

Lレジスタによりメモリから読み出したデータを、

Dレジスタによりメモリから読み出したデータをアドレスとしてメモリに書き込む。

また、ベクトルの受信は、パイプラインリングを使用せず入力バッファ (IBUF) から直接外部メモリに書き込む。同様にベクトルの送信は、外部メモリから出力バッファ (OBUF) に直接出力し、パイプラインリングの動作に影響を与えないよう考慮している。

6. おわりに

以上述べたようにEDDENの演算機構はベクトル演算機構の導入、スカラ演算とベクトル演算の融合により演算パイプラインの充足率を高めることを特徴としている。これにより、データ駆動方式の利点を生かした非定型的処理だけでなく、科学技術計算等に必須の定型的な処理にも適用できると考える。今後は、要素プロセスLSIの開発を進め、実機における評価を報告したい。

末筆ながら、本研究を御指導、御支援して下さい関係各位に厚く感謝します。

参考文献

- (1)三浦他:「高並列データ駆動計算機EDDENの概要」、情報処理学会第38回全国大会講演論文集2T-2
- (2)田中他:「データ駆動計算機EDDENにおける発火制御とカラー管理」、情報処理学会第39回全国大会講演論文集6W-2
- (3)三浦他:「データ駆動計算機EDDENの通信制御機構」、情報処理学会第39回全国大会講演論文集6W-3