

PIM/m 要素プロセッサのアーキテクチャ

2L-6

中島 浩

武田 保孝

中島 克人

(三菱電機)

1 はじめに

我々は、第5世代コンピュータ・プロジェクトの一環として、並列推論マシン PIM/m を開発している [1]。PIM/m の基本的な設計方針は、2次元メッシュ状のネットワーク、マイクロプログラム制御による KL1-B[2] の実行など、Multi-PSI/v2[1] を継承したものである。しかし、要素プロセッサ数が Multi-PSI/v2 の4倍である 256 に拡大されたのに伴い、実装密度は VLSI 技術を用いることによって4倍に向上している。また、要素プロセッサのアーキテクチャに大幅な変更を加えることにより、単体性能も3~6倍に向上している。

以下、PIM/m の要素プロセッサのアーキテクチャの特徴を報告する。

2 要素プロセッサ

要素プロセッサは、KL1のための抽象命令セットである KL1-B を、マイクロプログラムにより直接エミュレートする CISC である。また、要素プロセッサは PIM のフロント・エンド・プロセッサ (FEP) の CPU としても用いられるため、KL0/ESP を実行する機能も備えている。更に、FEP 上で KL1 の擬似並列実行 (Pseudo PIM) も可能である。

要素プロセッサは、図1に示すように3つの VLSI チップ PU, CU, NCU を中心に構成されている。PU (Processing Unit) は、5ステージのパイプラインを持ったマイクロプロセッサであり、32Kw の WCS に格納されたマイクロプログラムにより KL1/KL0 を実行する。CU (Cache Unit) は命令キャッシュ、データ・キャッシュの他、アドレス変換バッファや主記憶の制御回路からなる。NCU (Network Control Unit) は、隣接する4プロセッサを結ぶチャンネルのスイッチングを行うとともに、PU が行うメッセージの送受信を制御する。

2.1 PU

PU は図2に示すように、D, A, R, S, E の5ステージからなっている。

D(Decode) ステージには命令のデコードのための RAM テーブルがあり、マイクロプログラムの実行開始アドレスの他、アドレス計算、オペランドの生成方法など、下流のステージを制御するためのナノ・コード

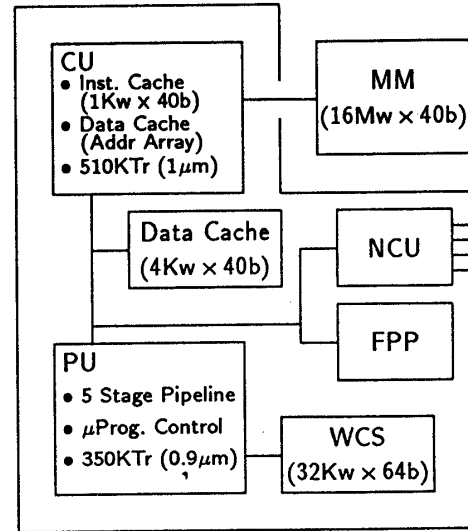


図1: 要素プロセッサ

が格納されている。デコーダを RAM を用いて構成したことは、KL1/KL0 の双方のサポートや、マイクロプログラムの開発の容易化に多大な効果をもたらしている。

A(Address Calculation) ステージは、命令のオペランド・フィールド、引数レジスタである RF、プログラム・カウンタ、及び2つのアドレス・レジスタをソースとするアドレス計算と、命令フェッチの制御を行う。2つのアドレス・レジスタは、KL1 の場合にはゴール・レコードのベースと、オルタナティブへのポインタとして用いられる。また、KL0 の場合には Environment のベースと、Continuation へのポインタとして用いられる。R(Read Data) ステージは、A ステージで行ったアドレス計算の結果に基づき、主記憶からオペランドを讀出す。

S(Set Up) ステージは、主記憶上のオペランド及びそのアドレス、命令のオペランド・フィールド、RF、制御レジスタ/スクラッチ・パッドである WR、及びいくつかの特殊レジスタの中から、3つのデータをオペランドとして E ステージに引渡す。通常は R ステージで行われるオペランドの設定操作のために、特にステージを1つ増やした理由は、タグの判定操作にある。S ステージでは、主記憶から讀出したオペランドのタグにより、マイクロプログラムの実行開始番地を修飾

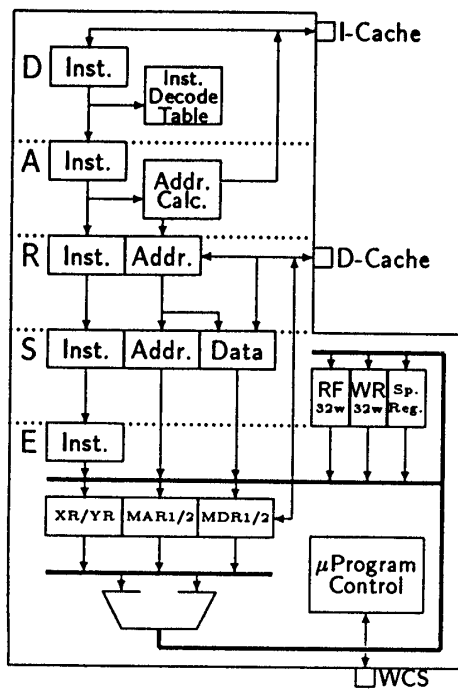


図 2: PU の構成

する機能があり、頻繁に行われるタグ判定を命令の実行に先立って行うことができる。後に述べるように、この効果はステージの増加に伴うパイプライン・ブレイク時の損失の増加を補って余りあるものである。

また、Sステージの重要な機能としてデレファレンス機能がある。RFをルートとするデレファレンスの場合、ルートのタグが参照ポインタである時のみRステージで主記憶の読出が行われる。更に、その結果が参照ポインタである時には、Sステージによりデレファレンスが行われる。また、KL1を実行する際には、デレファレンス時にMRB (Multiple Reference Bit)[2]を用いた参照パスの単一性の判定が行われ、これをタグの判定と組合せることによりインクリメンタルGCを効率よく実現することができる。

## 2.1 CU

CUには1Kwの命令キャッシュと、4Kwのデータ・キャッシュが含まれているが、これらのキャッシュの容量については、事前にシミュレーションによる評価を行った。その結果、命令キャッシュについては94%以上、データ・キャッシュについては99%以上のヒット率が得られると予想され、かつこれ以上の容量増加によるヒット率向上は極めて小さいことが明らかになっている[3]。

また、CUは命令/データ用にそれぞれ32エン트리x2セットのアドレス交換バッファを持っており、32ビットの論理アドレスから32ビットの物理アドレスへ

表 1: 性能評価結果 (append)

	steps	KLIPS
	KL1/KL0	KL1/KL0
PIM/m	20/13	833/1282
PIM/m(withoutS)	23/15	725/1111
Multi-PSI/v2(PSI-II)	36/15	139/ 430

の変換が行われる。データ用のアドレス交換バッファについては、主記憶のアクセス特性を考慮して、論理アドレスの上位3ビット(エリア番号)とプロセス番号(KL0実行時)を結合したものと、論理ページ番号の下位ビットとの排他的論理和によりエン트리・アドレスを生成している。その結果、ほとんど100%のヒット率がシミュレーションにより得られている。

この他、CUにはKL0実行時のシャロー・バックトラック高速化のために、トレイル・スタックの最上部をキャッシュした、トレイル・バッファ(TRB)が備えられている。

## 3 性能評価

要素プロセッサのマシン・サイクルは60nsであり、Multi-PSI/v2の200ns及びPSI-IIの155nsから大幅に短縮されている。また、パイプラインの導入や、命令/データ・キャッシュの分離などにより、実行に要するサイクル数も削減されることが期待できる。

表1は、PIM/m, Multi-PSI/v2, PSI-IIでのappendのRecursive Clauseの実行に要するステップ数とLIPS値であり、PIM/mについてはPUのSステージがないと仮定した時の値も示している。表から明らかなように、Multi-PSI/v2, PSI-IIに比べてステップ数が13~44%削減されており、KL1では6倍、KL0では3倍に性能が向上している。また、Sステージを設けたことにより、ステップ数を約13%削減することができた。

## 4 おわりに

高集積のVLSIチップを用いることにより、従来の4倍の実装密度を達成することができ、大規模な並列処理が可能となった。また、単体性能も論理型言語の特徴を考慮したパイプラインの導入などにより、3~6倍に向上させることができた。

## 参考文献

- [1] S. Uchida, et al., Research and Development of the Parallel Inference System in the Intermediate Stage of the FGCS Project. FGCS'88 (1988).
- [2] Y. Kimura and T. Chikayama, An Abstract KL1 Machine and its Instruction Set. SLP'87 (1987).
- [3] 中島 浩: PSI-IIのメモリ・アーキテクチャ評価, 情報処理学会計算機アーキテクチャ研究会資料 (1990).