

並列推論マシン PIM/c

— メンテナンス・デバッグ機構について —

2L-5

前田浩光^{*1}、井門徳安^{*2}、垂井俊明^{*2}、中川貴之^{*2}、杉江 衛^{*2}
 (*1 日立製作所 神奈川工場、*2 日立製作所 中央研究所)

1. はじめに

我々は、クラスタ構成を導入した並列推論マシン PIM/c[1]の開発を進めている。

一般に、計算機のメンテナンス・デバッグ機構は、主要部に比べ、より低コストであることが求められる。PIM/cでは、構成上の規則性を利用して、コスト・パフォーマンスの向上をはかっている。

本稿では、PIM/cのメンテナンス・デバッグ機構の構成及び機能について報告する。

2. 構成

図1にメンテナンス・デバッグ機構の構成を示す。構成上の特徴は、マシン構成に合わせた階層化にある。

SVPは、SU内のレジスタのリード/ライトにより処理を指示し、SUが処理を実行する。SVPのSU内レジスタへのアクセスは、CLの選択のライト、CL内PEの選択のライト及び具体的な処理のためのリード/ライトに大別できる。

階層構成を取る利点は、以下の通りである。

① I M P L (Initial Micro-Program Loading)等の複数PEに共通の処理を同時に指示/実行する機能が容易に実現できる。

② SU内レジスタに割り当てるアドレス領域が、PE台数に無関係となるので、バス幅を1Byteに抑えることができるなど、ハードウェア量を低減できる。

3. 機能

メンテナンス・デバッグに関する代表的機能を以

下に示す。

① クロック・スキューの調節 : PE間及びPE内のユニット間のクロック・スキューの調節が可能である。

② FF (Flip Flop)/RAMのリード・ライト : システム内のすべてのFF/RAMの内容のリード・ライトが可能である。また、ブロードキャストもサポートしている。

③ PEの起動・停止制御 : 通常の起動・停止のほか、特定のイベントの発生を契機とするPEの停止、マイクロプログラムまたはKL1命令のステップ実行が可能である。

④ 性能測定 : PE内の各ユニットに設けたパフォーマンス・カウンタの制御により、PEの稼働率、共有バスの使用率等、性能指標の測定が可能である。

4. おわりに

コスト・パフォーマンスを念頭において、PIM/cのメンテナンス・デバッグ機構を設計した。今後、試作機を用いて評価する予定である。

最後に、日頃御指導頂いたICOT第4研究室内田俊一室長に深謝する。

なお、本研究はICOTからの委託研究の一環として実施された。

参考文献

1) 後藤他、"並列推論マシンPIM/c 概要" 本大会発表予定。

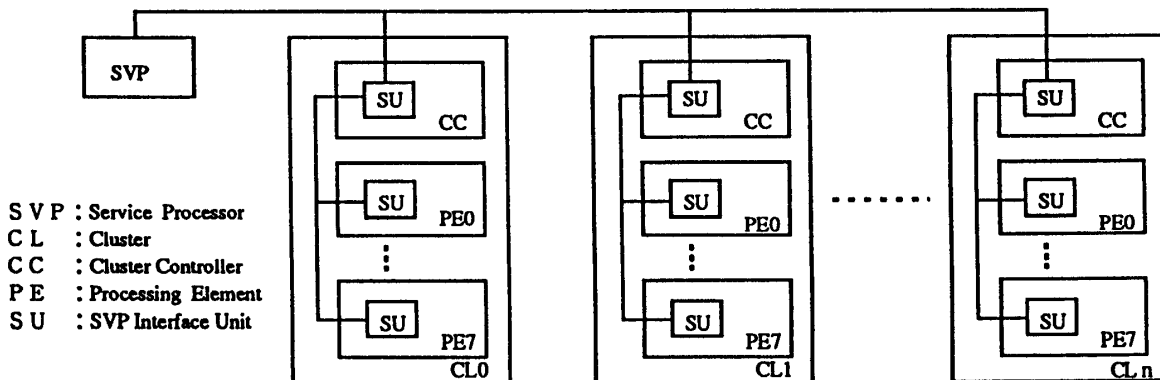


図1. メンテナンス・デバッグ機構の構成