

# 並列推論マシンPIM/c

## - CPUについて -

2L-2

田中 誠<sup>\*1</sup>、堀尾公正<sup>\*1</sup>、中川貴之<sup>\*2</sup>、杉江 衛<sup>\*2</sup>  
 (\*1 日立マイクロコンピュータエンジニアリング、\*2 日立製作所 中央研究所)

### 1. はじめに

本CPUは、並列推論マシンPIM/c [1] (Parallel Inference Machine) のCC (Cluster Controller) およびPE (Processing Element) のEU (Execution Unit) として開発された。ハードウェア諸元および処理速度向上のための機能について報告する。

### 2. ハードウェア諸元

表1に開発したCPUのハードウェア諸元を示す。

表1.ハードウェア諸元

項目	仕様
レジスタ	汎用レジスタ：8×2ワード 専用レジスタ：256×2ワード
演算器	ALU (タグ付きデータ演算可) シフト (1~8ビットシフト)
内部バス	3本
マシンサイクル	50ns
データ長	5バイト+5ビットパリティ
アドレス長	5バイト+5ビットパリティ

### 3. 機能概要

本CPUの特徴を以下に示す。

#### (1) 水平マイクロ命令

知識処理向きのVLSI化プロセッサに対して、水平型のマイクロアーキテクチャが提案されている[2][3]。本CPUは、表2に示すように6フィールド、41サブフィールド、計104ビット、のマイクロ命令を有している。複数の命令をサブフィールド単位に同時に実行させることによりその処理速度の向上を図っている。

各フィールドの機能は、以下のとおりである。

SC：マイクロ命令の制御

BLC：内部バスの制御

MIF：外部アクセスの制御

EUC：演算部の制御

RFAC：汎用レジスタ、専用レジスタの動作の制御

MIS：その他の制御

(2) ネットワークの状態監視による多方向分岐とスリットチェックフラグによる分岐

(1) で示したSCフィールド内に、マイクロ命令の分岐を制御するマイクロ命令群がある。ここにネットワークの状態を監視し、8状態に対応した分岐を2サイクルで行える機能と、スリットチェックフラグ (外部要因) によって1サイクルで2方向分岐する命令を定義した。これによって、ダイナミックなマイクロステップ数を削減し、処理速度の向上を図っている。

#### (3) ブロック転送

本CPUは、通常2サイクルで1ワードのデータ転送を行うが、PE間メッセージなどベクトル形式のデータ転送のために5サイクルで4ワードの転送を行うブロック転送の機能を導入した。これによって80MB/sの高速転送が可能となる。

### 4. おわりに

本CPUは、CMOSゲートアレイ上に約51Kゲートの規模で実現されている。今後、上に述べた諸機能の評価を行う予定である。

最後に、日頃ご指導いただいたICOT第4研究室内田俊一室長に深謝する。

なお、本研究は、ICOTからの委託研究の一環として実施された。

### 参考文献

- 1) 後藤他、"並列推論マシンPIM/c - 概要 -"、本大会発表予定。
- 2) 野尻他、"知識処理言語用マイクロプロセッサの実現方式"、情報処理学会、第34回全国大会、7P-8
- 3) 中島他、"マルチPSI要素プロセッサPSI-IIのアーキテクチャ"、情報処理学会、第33回全国大会、7B-3

表2.マイクロ命令フィールド

フィールド名	サブフィールド数	ビット数
Sequence Control (SC)	6	28
Execution Unit Control (EUC)	4	11
Register File Access Control (RFAC)	8	18
Bus Load Control (BLC)	7	23
Memory Interface (MI)	7	14
Miscellaneous (MIS)	9	10

Parallel Inference Machine PIM/c - CPU -

\*Makoto Tanaka, \*Kousei Horio, \*\*Takayuki Nakagawa, \*\*Mamoru Sugie

\*Hitachi Microcomputer Engineering Co., Ltd. \*\*Hitachi, Ltd.