

6X-3

VLIW型計算機KIDDOCHの メモリ管理機構について

安倍 正人、永田 仁史、牧野 正三、城戸 健一

(東北大学応用情報学研究センター)

1. まえがき

当研究室では、デジタル信号処理技術を応用して、音響、音声信号処理の研究を行っており、データ量の多さおよびアルゴリズムの複雑化に伴い以下のような仕様を持つ計算機が要望されている。(1)高速であること。(2)大規模のプログラムおよびデータが扱えること。(3)単精度および倍精度浮動小数点演算ができること。(4)高級言語が使えること。

以上の仕様を満たすために、VLIW型高速計算機KIDDOCH IVを開発中である。すなわち、(1)多数の演算器を同時に動作させることができるので、高速化が図れ、かつ高級言語の移植に適した内部構造を持たせることが比較的容易であることは、試作したKIDDOCH III [1, 2, 3]の経験から明かであり、(2)今回報告するメモリ管理機構を装備することにより、大規模のプログラムおよびデータが扱えることになるからである。

2. KIDDOCH IVのハードウェア構成

図1に本システムの全体の構成を示す。ホスト計算機はUNIXマシンである。このホスト計算機とKIDDOCH IVはVMEバスを通じて結合される。

KIDDOCH IVは独立に稼働する13個の装置から構成され、約A3判大のプリント基板3枚から構成される。

2.1. 制御装置 (MPM, PCU, IMM)

MPMはマイクロプログラムメモリで、64kW × 256ビットのRAMで構成されており、1kW

ずつの64個のページに分けて管理される。PCUはプログラムコントロールユニットで、サイクルタイム40nsで動作させるために、4ビットのカウンタ74AS163を8個用いて構成している。IMMUは命令メモリ管理ユニットで、図2に示すように各ページに入っているオブジェクト(機械語)が有効かどうかを示すフラグと実際のアドレス(32ビット)を保持しており、ダイレクトマッピング方式のページングを行なう。

サイクルタイム40nsの高速動作をさせるために、様々な工夫がなされている。すなわち、

- (1) MPMの前段(PCUの出力)と後段にはパイプラインレジスタがあり、MPMの遅延を吸収している。しかし、このために、図3に示すように命令の存在するアドレスを指定するステップと実際にその命令を実行するステップが1だけずれるので、条件JUMPのような場合に、実際には実行すべきでない命令をバージする機能を備えている。
- (2) 前述の(1)の機能をさらに活かして、分岐命令の際も若干のロスがあるものの40nsで動作させることができる。すなわち、分岐する場合には、各装置に供給される同期クロックを1ステップ分だけ止めて、その間に分岐すべきアドレスが実際にMPM中に存在するかを判断する。この機能がないと、サイクルタイムを一様に約100nsにしなければならない。ただし、分岐の際には次の命令をバージしなければならないので、さらに1ステップ分のロスが伴う。
- (3) IMMは1ページ1kW単位でMPMを管

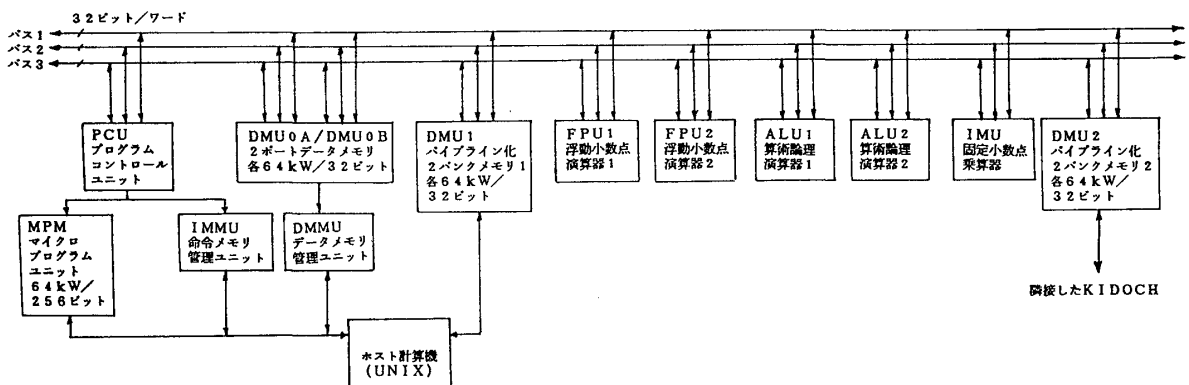


図1 KIDDOCH IVのブロックダイアグラム

Memory Management Unit of VLIW Type Computer KIDDOCH
Masato ABE, Yoshifumi Nagata, Shozo MAKINO and Ken'iti KIDO
Research Center for Applied Information Sciences, Tohoku University

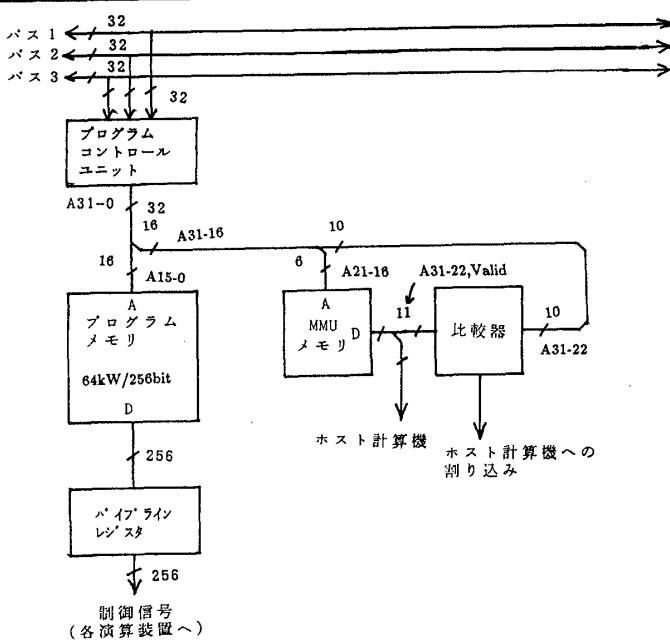


図2 命令メモリ管理ユニットの構成

理しているの、次に行なうべき命令が次のページに移る場合に、次のページがMPM中に存在するかどうかを上述の(2)と同様に1ステップ分のロスのみで判断する。

はじめに、ホスト計算機は、KIDPOCH IVのオブジェクト(機械語)をプログラムメモリに転送し、さらに、IMMUにそのアドレスを送って、オブジェクトが有効であることを示すフラグを立てる。

KIDPOCHが動作を始め、アドレス(32ビット)がプログラムメモリに送られると同時に、そのアドレスはIMMUにも送られ、アドレスA31-A22の値とアドレスA21-A16が指し示すIMMUの内容とが比較される。両者が一致し、かつ有効フラグが立っていれば、そのまま次のステップに移るが、そうでない場合には、KIDPOCHは動作を停止し、ホスト計算機に割り込みがかかる。そのとき、ホスト計算機は割り込み原因を解析することにより、プログラムメモリにおけるIMMUエラーであることがわかるので、そのページの部分だけ、KIDPOCHのプログラムメモリ及び対応するIMMUの部分を書換える。そして、KIDPOCHを再起動させる。このようにして、KIDPOCHは最大4Gステップのプログラムを動かすことができる。

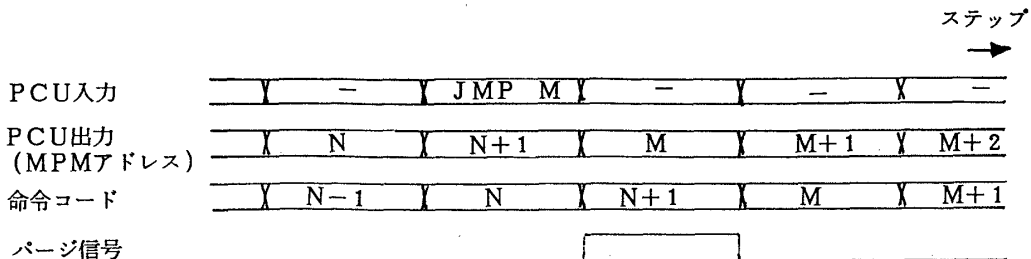


図3 JUMPの際のPCU, MPM内部の動作

これと同様のメモリ管理機構はDMU0A及びDMU0Bにも備えてあり、それぞれ最大4GW/32ビットのデータを扱うことができる。

3. KIDPOCHのCコンパイラ

FFT、窓掛け、行列式の計算等の比較的単純な信号処理用のプログラムはアセンブラでもなんとか書くことができるが、複雑な計算式や、一度しか使わないプログラムを全てアセンブラ言語で書くことは事実上不可能である。そこで、高級言語としてクロスCコンパイラを開発した。このコンパイラはstruct文のビット宣言を除いて標準のCコンパイラの全ての機能を含み、更に信号処理用の拡張機能として、複素数の型も扱うことができる。

4. KIDPOCH IVの性能

開発中のKIDPOCHの浮動小数点データの単精度演算の能力はピークで100MFLOPS、整数データの演算能力はピークで175MIPSとなる。しかし、実際にはバスが3本しかないため、データの転送能力が不足し、これほどの演算速度は達成できないと考えられる。ちなみに、単精度浮動小数点データの複素数1024点FFTの実行時間を試算してみたところ、約1.9msであった。これは約30MFLOPSの演算速度である。

5. むすび

本文では、はじめに当研究室で行っている音響信号処理や音声認識等の研究を効率的に行うために開発した信号処理用高速演算装置μKIDPOCH I I Iの開発で培った技術を基に、様々な改良を施して開発中のKIDPOCH IVのメモリ管理機構を中心に述べた。

参考文献

- [1] 上田 隆、安倍 正人、城戸 健一：信号処理用高速演算装置のソフトウェア作成言語と目的プログラムの最適化について、第32回情報処理学会全国大会論文集5、S-10、pp. 271-272 (1986)
- [2] 安倍 他：音響デジタル信号処理を主目的とする高速演算装置μKIDPOCH、情報処理学会論文誌28、12、pp. 1306-1317 (1987)
- [3] 永田 他：VLIW型計算機μKIDPOCH用Cコンパイラ、第15回東北大学応用情報学研究センターシンポジウム予稿集 (1989)