

7W-4

高速アクセスメモリ Q-RAM

新島 秀人 大庭 信之

日本アイ・ビー・エム株式会社 東京基礎研究所

1. はじめに

近年、DRAMの高速化、大容量化が進み、パーソナルコンピュータクラスでも10Mbyteを超える主記憶を持つものが現れてきた。しかし、マイクロプロセッサの高速化も著しく、マイクロプロセッサの性能を十分に活かすためには相当高速のメモリを必要としてきている。現在、このマイクロプロセッサの高速化に対応するために2通りの手法がとられている。すなわち、キャッシュメモリの付加と、主記憶メモリ自身の高速化である。キャッシュメモリをマイクロプロセッサに外付けする方式はマイクロプロセッサとメモリを従来のまま用いられるが、部品数の増加とコスト高を招く。また、主記憶メモリ自身を高速なものに換装することは、高速でかつ大容量のメモリを必要とし、やはりコストの面で不利である。

DRAMはアドレスの時分割やプリチャージ時間が必要のためサイクル時間が長いという欠点をもっている。そこでDRAMのアクセスタイムを短縮する方式として、ページモードやニブルモードなどが利用されている。これらのモードは、連続したアドレスをつぎつぎとアクセスすると決まっている場合には有効である。しかしながら、通常のマイクロプロセッサからのアクセスは、ある程度の局所性はあるものの、必ずしも有効に働くとはいえない。

Q-RAMは、従来のDRAMに、最小の外部付加回路で高速マイクロプロセッサの主記憶として高い性能を発揮できるように開発された。本報告では、Q-RAMの内部構成とその基本動作を説明し、最後にトレースデータを用いたシミュレーションによる性能評価を示す。

2. Q-RAMの構造

一個のQ-RAMモジュールは複数のアイランドから構成され、それらのアイランドは同時にアクティブに動作することができる。それぞれのアイランドは、通常のDRAMの部品に加え、ROWアドレスのラッチと比較器、及びマイクロプロセッサとハンドシェイクを行うためのレディ発生器を装備する。また、Q-RAMはそのデータバッファリングの方法により、大きく二つに分けられ、センスアンプをバッファとして利用するシングルバッファタイプ(図1)とダブルバッファタイプ(図2)とがある。なお、Q-RAMへアクセスする場合はアドレスを時分割せずに与える。

3. Q-RAMの動作

ここでは簡単のために、シングルバッファタイプのQ-RAMの動作について述べる。まず最初に読み出し動作

について述べる。通常のメモリアクセスと同じく、アドレスが与えられると同時にチップセレクトがQ-RAMに入る。直ちに各アイランドのROWバッファ(センスアンプ)に対しCOLUMNアドレスを用いて読み込み動作が開始されるとともに、比較器で前回までにラッチされていたROWアドレスと今回アクセスされたROWアドレスとが比較される。もし、ラッチの内容と一致した場合は(ヒット)ROWバッファよりデータが読み出され外部に出力される。また、MISS信号は出力しない。この場合のQ-RAMのアクセスタイムはバッファのアクセスタイムだけとなる。もし、ラッチの内容と一致しなかった場合は(ミス)、通常のROWアクセスが実行される。このときMISS信号が出力され、マイクロプロセッサは所定の待ち時間の後、データを読み込む。ここで得られたデータはROWバッファに保存され、またアドレスはラッチ回路に保存されることによって、次のアクセスに備える。

書き込み動作は以下のように行なわれる。読み出しの場合と同じように入力アドレスがROWアドレスラッチと比較され、ヒットしたときはバッファが入力データで書き替えられると同時に、メモリセルも書き替えられる。MISS信号の動作は読み出し動作と同じである。

以上の動作のタイムチャートを図3に示す。

4. 性能評価

Q-RAMが実際のパーソナルコンピュータでどの程度の性能を得られるかを評価するため、IBM/PC上で走るスプレッドシートプログラムのアクセストレースデータを用いてシミュレーションを行った。このとき、内部のページアドレスの割り付け方法やそのページ長によるページバッファヒット率を検討した。図4にはページ長とヒット率の関係、図5にはアイランド数とヒット率の関係を示す。アイランド数が8の場合は非常に良いヒット率が得られている。

5. むすび

以上高速マイクロプロセッサの主記憶として用いられることを前提としたQ-RAMについて報告した。Q-RAM自身でマイクロプロセッサと同期する機能を持っているので、少しの外部付加回路で高性能のシステムが構築できるものと思われる。

【参考文献】

[1]Peelen and Goor: "Using the page mode of dynamic RAMs to obtain pseudo cache," Microprocessors and Microsystem, Vol.11, No.9, 1987.

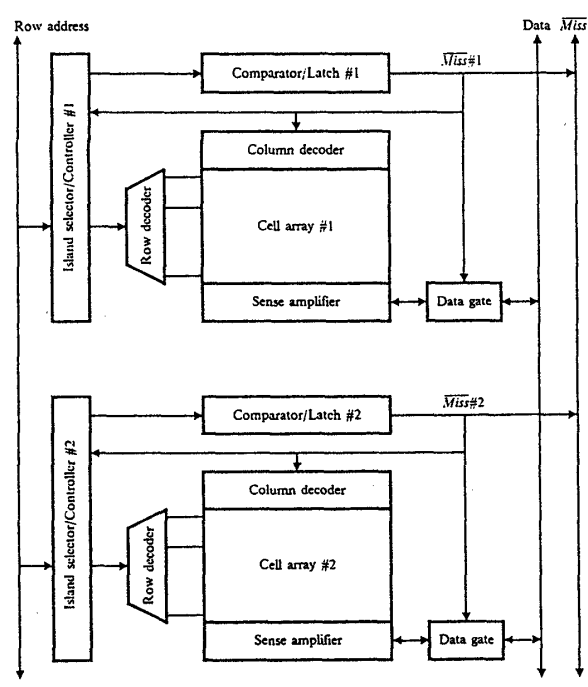


図1. シングルバッファタイプ

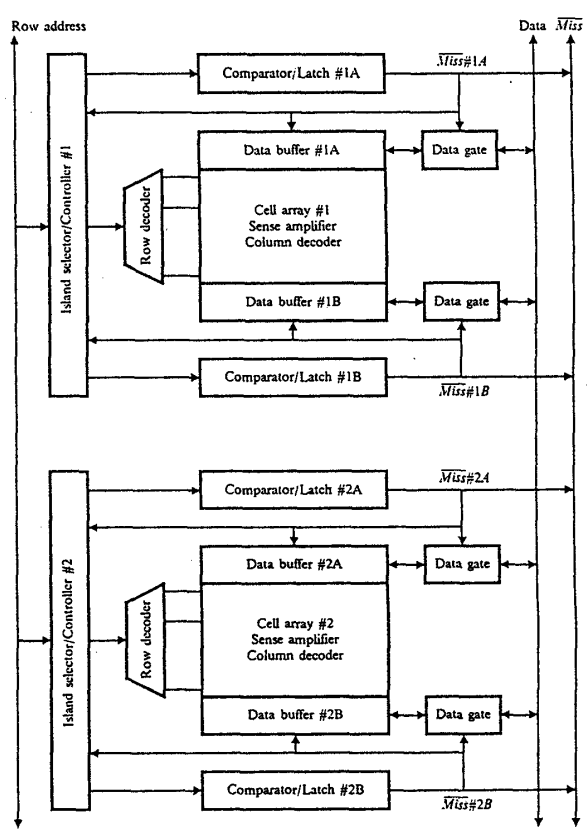


図2. ダブルバッファタイプ

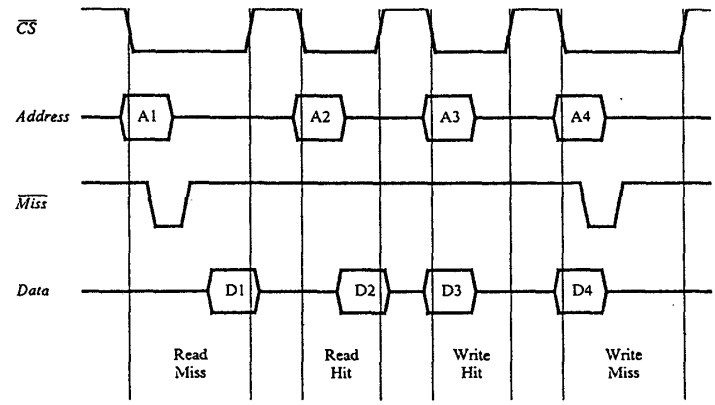


図3. タイムチャート

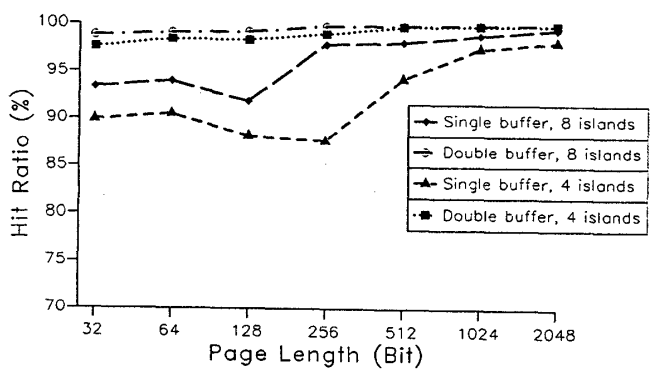


図4. ページ長とヒット率

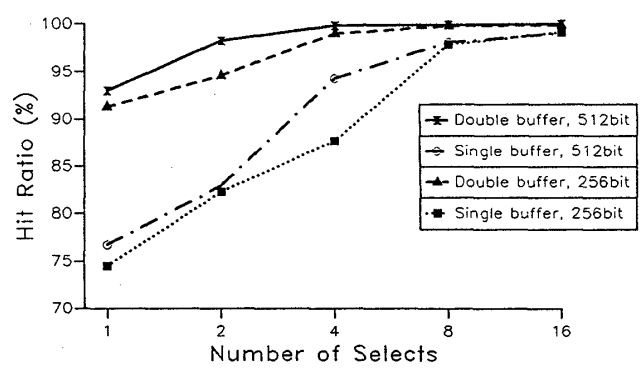


図5. アイランド数とヒット率