

大規模マクロセルを含むVLSI

7V-7

テスト生成の一手法

稲川 隆、足立 茂美、水野 良一、堀田 厚生、石山 俊
(株) 日立製作所

1. はじめに

高集積回路(LSI)の一般的に用いられる検査手法として、論理シミュレーションに用いたテストデータと人手で作成したデータを用いる機能診断と、すべてのフリップ・フロップ(FF)にスキャン回路を設け全論理を小さな組合せ回路に分割し、自動で診断パターンを生成する回路分割診断(以後 分割診断と呼ぶ)がある。表1に機能診断と分割診断の得失を示す。

表1 機能診断と分割診断の得失

	論理設計	診断パターン生成	ゲートのオーバーヘッド	ディレイのオーバーヘッド
機能診断	○ 特に考慮無し	× 人手で作成、検出率アップ難(工数大)	○ なし	○ なし
分割診断	△ スキャンパス、論理制約を考慮	◎ 自動(工数小)	△ 診断用スキャン論理追加(ゲート増)	△ 負荷増加によるディレイ発生

本論文は、1つのLSI内で各部の性質に合わせ、機能診断と分割診断を併用した場合の分割診断部の実現法について述べる。

2. 2種類の診断法の併用

図1に2種類の診断法を併用したLSIのブロック図を示す。▨部はマクロセル部であり、トランジスタレベルで設計されており450Kトランジスタの規模。□部はポリセル部であり、ゲートレベルで設計されており20Kゲートの規模である。マクロセル部は、性能追求型で、ディレイも面積も極力小さくする必要があり分割診断は不向きであり機能診断を採用した。ポリセル部は、クリティカルパスの厳しい高速制御部を除いてスキャン用ラッチ付きのFFを用い、分割診断を採用した。このようにして、LSI全体では性能を落とすことなく、診断パターン生成工数の低減を図った。

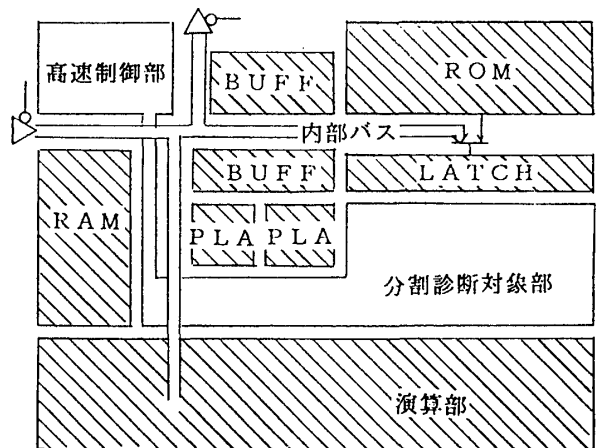


図1 ブロック図

A Method of Test Generation For Large Scale Logic Circuits

Takashi INAGAWA, Shigemi ADACHI, Ryouichi MIZUNO, Atsuo HOTTA, Shun ISHIYAMA
HITACHI, Ltd.

3. 分割診断部の設計

分割診断を採用する際、機能診断部と分割診断部の境界をスキャン可能なFFで囲むのが理想である。しかし前述の様に、機能診断部は性能重視であるので、一律に診断専用のFFを設けることはオーバーヘッドが大きい。そこで診断設計では、境界部をどう扱うかが問題となる。

4. 境界部の処理

境界部の処理はできるだけ通常論理を利用し、分割診断部の分離を行なうのが望ましい。図1のLSIでは次の3パターンをとった。

- (1) マクロセルであるROMとPLAは出力ラッチがあり、このラッチにスキャンパスを付けて分割診断の入力点とする。(図2)
- (2) ハードコア(固定値信号)を用い、機能診断部→分割診断部の信号を固定化し、分割診断部へ不定値が入らないようにする。(図3)
- (3) 分割診断部、機能診断部にまたがるバスで、機能診断部からの信号には、イネーブル制御用FFを、前もってネゲートする論理を追加し、分割診断時は無視できるようにする。(図4)

(図4)

5. 結果

分割診断対象部の諸元を表2に示す。診断パターンは、分割診断部のみ論理ファイルを切り出して自動生成した。分割診断部を機能診断で行なった場合予想される工数20人月に対し、論理制約のフィードバックを含めて2人月の工数で診断パターンを生成できた。検出率は95%以上を確保できた。

6. まとめ

大規模マクロセルとポリセルを併用したVLSI診断手法の一つとして、機能診断と分割診断を併用する手法を適用し、診断工数の削減に成功した。今後多く用いられると考えられる、ASICコアとゲートアレイを組み合わせたLSIの診断手法として有効と考えられる。

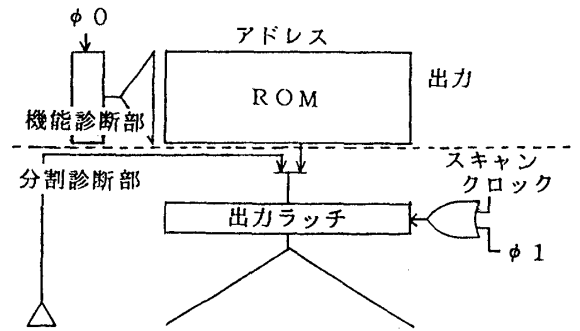


図2 マクロセルのラッチを用いた処理

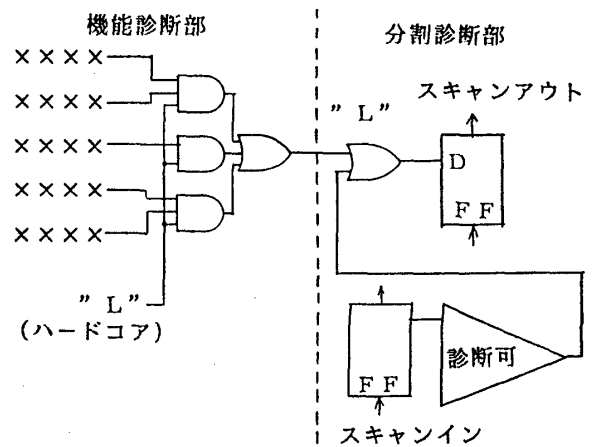


図3 ハードコアを用いた処理

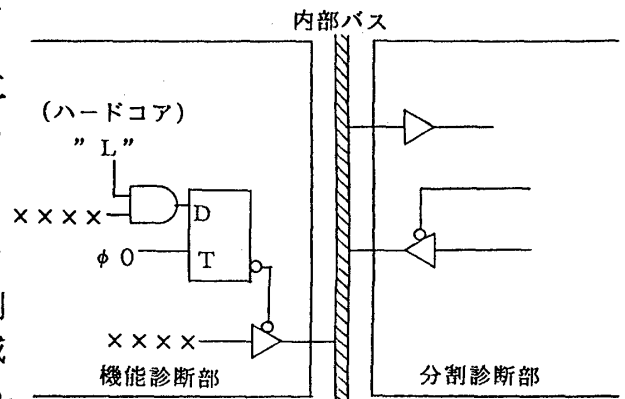


図4 バスに対する処理

表2 諸元

分割診断部論理規模	スキャン方式	FF数	診断専用ピン	診断対象ピン
17Kゲート	パラレル 2 シフト 129	1, 163	6	88