

# 実装条件チェック機能をもつ 6V-4 設計ルールチェックシステム - CHECKERS

岩瀬 正和 新美 文彦 佐々木 洋子 宮川 俊行 吉本 志郎

日本電気(株)

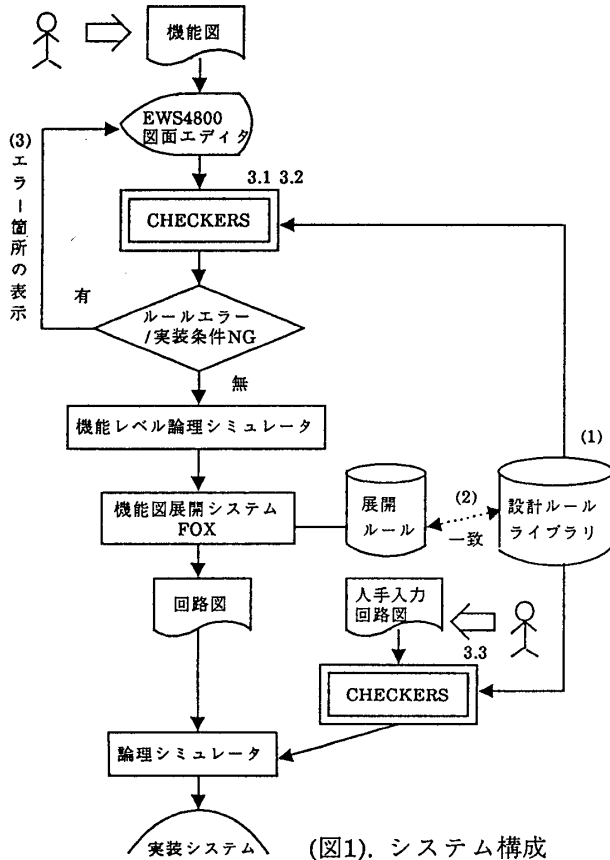
## 1. 概要

デバイステクノロジーの急速な発展に伴い、機能設計、回路設計の工程においては論理エラーとして検出されない部品の使用ミスが、後工程で発見されるという問題が出てきている。

また回路の大規模化により、機能図から各種統計情報を得て、実装設計の容易性を設計の早い段階で確認することが必要となってきた。

そこで、設計の上位レベルで高品質を保証することを目的として、回路設計者のノウハウを集約し、標準化された設計環境の構築を図るために、設計ルールをデータベース化し、各種電気条件のチェックと、機能図段階で実装条件のチェックを行う設計ルールチェックシステム「CHECKERS」の開発を行ったので、以下に紹介する。

## 2. システム構成

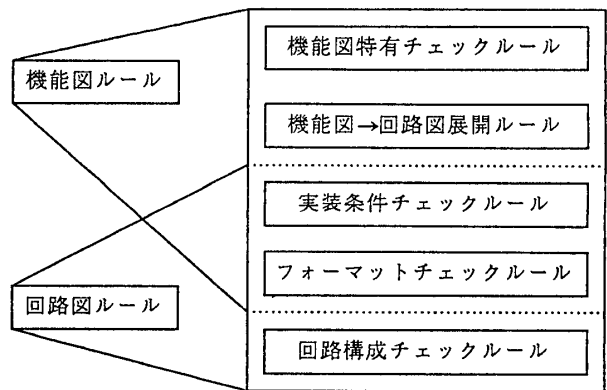


(図1). システム構成

## 2.1 システム構成上の特徴

### (1)独立した設計ルール

設計ルールは、プログラム内部に固定ではなくルールライブラリとして外付けになっているため、テクノロジー、設計ルールの変化に柔軟に対応できる。



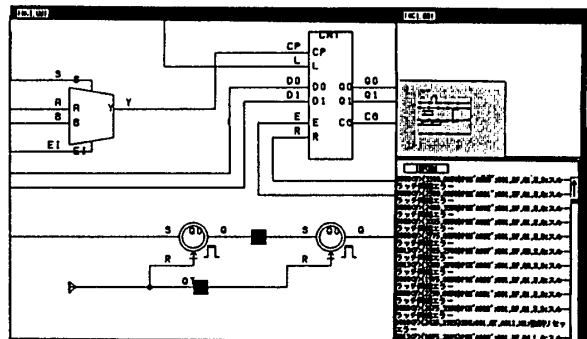
(図2). 設計ルールライブラリ構成

### (2)機能図展開システム「FOX」とのリンク

機能図展開システム「FOX」の展開ルールと一致する、機能図→回路図展開ルールを持つことにより、機能図からの展開回路部品情報を高い精度で予測することができる。

### (3)EWS4800の図面エディタとリンク

EWS4800の図面エディタ上で作成した機能図、回路図について、本システムでルールチェックを行い、エラーと指摘された箇所を図面エディタ上に表示することにより、エラーの解析と、図面の修正をそのままの状態で行うことができる。



(図3). 図面エディタ上でのエラー表示例

CHECKERS: Design Rule Check System for PWB Design Estimation

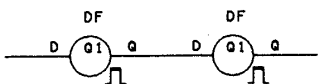
Iwase MASAKAZU, Niimi FUMIHIKO, Sasaki YOKO, Miyakawa TOSIYUKI, Yosimoto SIRO

NEC Corporation

### 3. 設計ルールチェック

#### 3.1 機能図ルールチェック

機能図特有チェックの設計ルールをもとに、スルーラッチ同相による誤動作発生の検出, 保持FFのマスタリセットピンに強制リセット信号が入っているか等のチェックを実施することにより、早期に設計ミスの検出を行う。

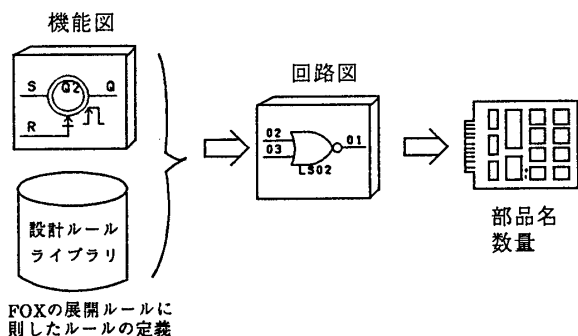


スルーラッチ同相エラーの例

#### 3.2 機能図から実装条件チェック

処理手順を述べる。

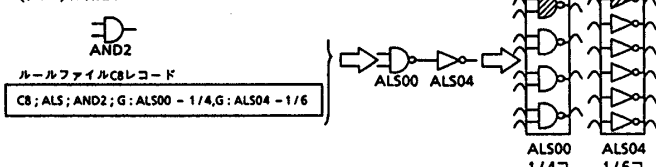
①機能図から展開される回路部品名と数量を、機能図→回路図展開ルールの条件より得る。



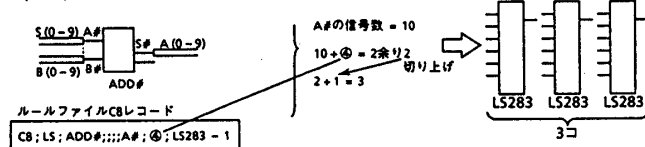
FOXの展開ルールに則したルールの定義

個々の機能シンボルから回路部品を求める方法について例を挙げて示す。

(例1)機能図シンボルAND2の場合



(例2)機能図シンボルAND#の場合



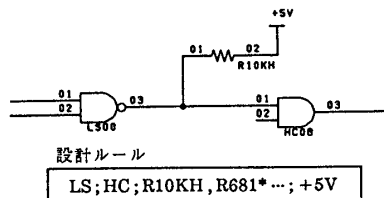
②予測した回路部品名と数量をもとに、等価IC数, 故障率, 消費電力等の算出を行う。さらに、端子使用率, 区間数等の算出も実施し、これら実装情報結果より、実装条件チェックルールに定義された実装基準値とのチェックを行う。

このように、機能レベル論理シミュレーション確認作業前の、ラフ設計(機能図)で実装条件チェックを実施することにより、設計の早い段階での設計難易度の確認、およびパッケージの実現可能性の確認を行う。

### 3.3 回路図ルールチェック

#### (1)部品の標準化を目的とした電気条件チェック

例えば、CMOS→TTL接続等のプルアップ抜け検出チェックにおいては、回路構成チェックルールに、送/受接続1対1で抵抗部品を決めて指定し、チェックを行っている。

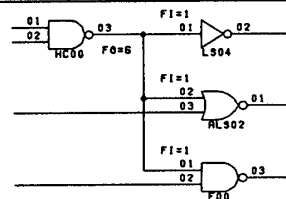


これは、個々の電気条件からネット毎に抵抗値を計算する方法は、精度は向上するであろうが、部品の標準化は図れないことと、現実的にはさほど細かい設定の必要が無い所が大部分であることから、それよりも処理スピードと、部品の標準化に重点を置くことが有効であると考えたことによる。

#### (2)テクノロジー対応表によるファンアウト条件チェック

複数テクノロジー混在のファンアウトチェック方法として、DCファンアウトとACファンアウトを考慮し、さらに設計者のノウハウを加味したファンアウト値を、設計ルールライブラリの、テクノロジーの対応表で定義する。一般的な回路部品のファンアウト条件チェックはテクノロジー対応表で行う。表で表わしきれないバッファ素子の出力, DFの入力, LSI等の特定部品に対してのみ、個々のファンアウト条件を回路部品ライブラリに持ち、チェックを行う方法を取り、処理の高速化を実現している。

受値	LS	ALS	FAST	HCMOS	BICMOS (24mA)
LS	20	20	10	20	20
ALS	20	20	10	20	20
FAST	10	10	10	10	10
HCMOS	18	18	6	18	18
BICMOS (24mA)	20	20	10	20	20



特定部品を持たないネットのファンアウトチェックの例

### 4. おわりに

今回開発した「CHECKERS」システムでは、機能図レベルでのルールチェック, 実装条件チェックを、機能図30~100シート(約5千~1万3千ゲート)について数秒~数分で行うことができる。設計ルールが標準化された設計環境の構築を図れることができ、設計の早期段階での品質向上に役立っている。

#### 参考文献

- 「機能図入力システム」情処学会 第29回全国大会
- 「PROCEED-DRAW: 回路図エディタ」