

4V-5

ポテンシャルを用いた並列配線手法

程 貴 轟・榊 豪 紀・芳野泰成・小田原豪太郎
(東京大学工学部)

1. はじめに

プリント基板上に搭載される素子の表面実装化、多ピン化によって、多ビット幅のバスに対する配線が問題となっている。バスを束線状にまとめて、可能な限り一面内で配線することが求められているが、未だこの要求を満足する手法はない。

また、従来から用いられてきた迷路法や線分探索法は、基本的に1本1本のネットの経路を逐次的に決定しており、未処理のネットの影響は考慮することが困難である。全てのネットを同時に考慮する、並列的な手法でなくては、効率の良い配線結果は得られない。

本稿では、上記の問題に対応するために、ポテンシャルの概念を導入した並列配線手法を述べる。ネットや素子等、配線の障害となるものに対して、ポテンシャルを定義し、プリント板全平面でポテンシャルの総和が平均化するように、各ネットの経路を決定する。バスについては、バスを構成するネット群を一つにまとめて取り扱い、配線効率を高める。

2. ポテンシャル

本手法の大きな特徴は、ネットの経路や通過容易性、配線禁止領域の存在などをすべてポテンシャル(場)として捉えることである。以下に、各対象のポテンシャル表現について説明する。

(1) ネット

各ネットに対して、図1a)に示すようなポテンシャルを与える。すなわち、ネットのポテンシャルは、他のネットに対して、オブスタクルとなるように高い値を持つ。ネット幅方向については、デザインルールを考慮して、ポテンシャルの幅を決定する。

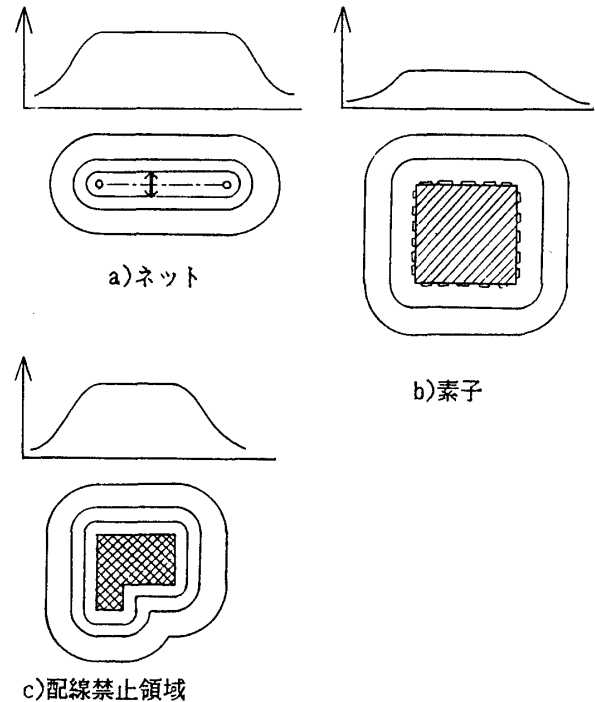


図1 ポテンシャルの与え方

(2) オブスタクル

オブスタクルには、2種類存在する。すなわち、素子(図1b))と配線禁止領域(図1c))である。素子は、完全に配線禁止ではなく、ネットが通過することが可能であるため、あまり高くないポテンシャルを持つ。これにより、何も無い領域に比べると配線が通過しにくい、全くこれを禁止するのではない。なお、ポテンシャルの値は、素子の種類によって変えている。SMD型の素子は、端子の間隔が狭いため、DIP型の素子より高いポテンシャルを持つ。一方、配線禁止領域については、非常に高いポテンシャルを持たせる。

3. 処理フロー

本配線手法の処理フローを図2に示す。

(1) 初期ポテンシャルの決定

全ネット、オブスタクルに対して、さきに述べたポテンシャルを設定し、その総和を全平面に対して計算する。ここで、各ネットの経路は最短経路である。これにより、ネットが交差している部分のポテンシャルは、非常に大きな値を持つ。

(2) 基板全体でポテンシャルが平均化するようにネットの移動を行う。

ネット同士が交差している部分は、非常に高いポテンシャルを持つ。そこで、この部分に対して、ネットを移動することにより、ポテンシャルの平均化を行う。例えば、図3a)に示したような2つのネットの交差を考える。この場合、交差をなくすためには、同図b)に示したように1本のネットに対して2通りの避け方が存在する。それぞれに対して、ネットの経路に沿ってポテンシャルを積分したものを評価関数として、それが最小である方にネットをよける。この場合、もう一方のネットについても考慮するため、計4回の評価関数を計算し、最小となるものを選択する。この移動によって、新たな交差を生じる場合もあるが、これについてはとりあえず交差を許してネットの移動を行う。この処理をネットの交差が無くなるまで、すなわち、総ポテンシャルが全ての領域に対してあるしきい値以下になるまで繰り返す。

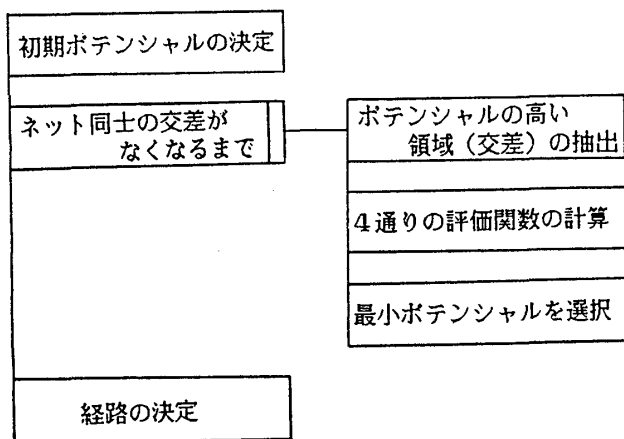


図2 処理フロー

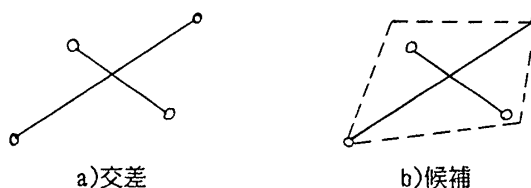


図3 ネットの交差解消

4. バスの取り扱い

バスに対しては、他のネットと異なり、以下のように取り扱う。

- (1) バスを構成しているネットはまとめて1本の太い幅を持ったネットとみなす。
- (2) 交差の解消処理の際に重み付けを行い、あまり曲がらないようにする。
- (3) オブスタクル（素子）通過時は、ピンの間を通過する際には広がり方を考慮する（図4）。

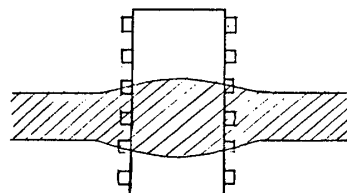


図4 ピン間のバスの通過

5. おわりに

本稿では、ポテンシャルの概念を利用した並列配線手法について述べた。現在ソフトウェア上でのシミュレーションにより性能評価を行っている段階である。今後、配線率向上のための手法の細部の検討を行った後に、高速処理を実現するために、並列の専用プロセッサを開発する予定である。