

3V-3

ゲートアレイ用レイアウト CADシステム

有吉信一¹, 関 光穂¹, 小林俊一¹, 林 照峯¹, 吉原 進²

1. (株)日立製作所 日立研究所 2. 同 半導体設計開発センタ

1. はじめに

ゲートアレイは顧客仕様のLSIを短時間で設計できる特長を持っている。また、近年ではチップ全面にトランジスタを敷き詰めることによりRAM、ROM等のマクロ回路を高密度に実装できるフリーチャンネル方式が注目されている。一方、設計自動化(DA)システムも大規模化、多機能化対応が要求され、設計自動化技術の高度化が不可欠であるが、マクロ回路の配置、消費電力を考慮した配置、自動配線後の未結線修正等人手に頼るべき箇所も多い。これらの人工数を低減する目的でレイアウトCADシステムを開発した。今回、自動配線後の未結線修正機能について述べる。

2. システムの概要

ゲートアレイの設計自動化システムは論理設計、実装設計、テスト設計の3つのサブシステムから構成されているが、レイアウトCADシステムは実装設計、すなわち自動配置配線を支援するものである。本システムでは自動配置配線前のプリセット配置配線、自動配置後の配置修正、自動配線後の未結線修正を対話形式で行える。本報告では未結線の修正機能について述べる。特長的な機能は配線混雑度表示方式による自動概略配線、配線修正時の即時配線規則チェック等である。

3. 未結線修正

3.1 修正手順

未結線の修正は、未結線の長さから次の2通りに場合分けして行う(図1参照)。

(1) 未結線端子間距離が長い場合

詳細配線パターンを人間が識別できる大きさにCRT画面上に表示できない程未結線端子が離れている場合、まず、未結線を結ぶ大まかな経路(概略経路)を決定する。次に、概略経路及びその近傍の詳細配線パターンを逐次表示し、障害既配線の経路変更を行い、配線スペースを確保して未結線の経路を順次追加する。

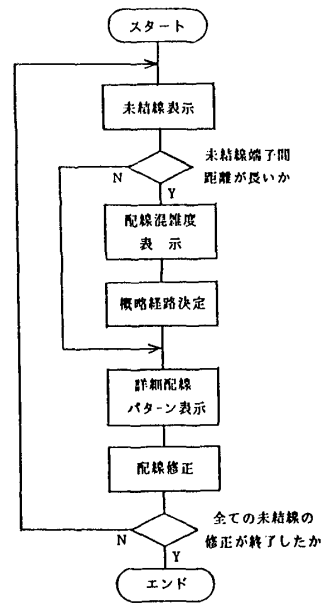
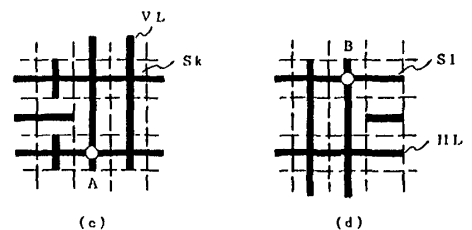
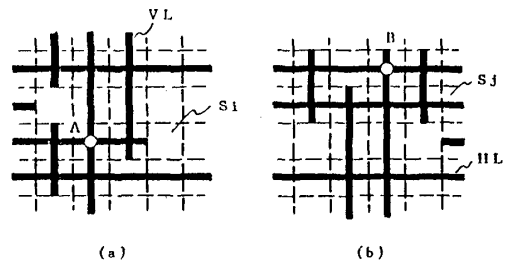


図1 未結線修正手順



A, B ... 配線用端子
 S1, S2 ... 分割小領域
 Sk, S1 ... A個をまとめた分割小領域
 VL, HL ... 配線混雑度パターン

図2 配線混雑度の表示方法

Layout CAD System for Gate-array LSIs

Shin'ichi ARIYOSHI¹, Mitsuho SEKI¹, Shun'ichi KOBAYASHI¹, Terumine HAYASHI¹, Susumu YOSHIHARA²

1. Hitachi Research Laboratory, HITACHI,Ltd. 2. Semiconductor Design & Development Center, HITACHI,Ltd.

(2) 未結線端子間距離が短い場合

未結線端子を含む詳細配線パターンを表示し、その画面内で障害既配線の経路変更を行い、未結線の経路を順次追加する。

3.2 概略配線方式

本システムでは概略経路を決定するための指標として配線混雑度を利用する。配線混雑度には配線領域を $n \times m$ の小領域に分割し、分割小領域単位に配線層毎に求めた配線格子使用率を使用している。配線混雑度の表示は p ($p \geq 1$) 個の小領域をまとめて大きな小領域を構成し、大きな小領域単位に配線層毎に指定した配線混雑度以下の中心線を表示することで行う(図2参照)。概略経路はこの小領域の連続体として表す。概略経路の決定は、未結線端子間距離が長い場合は例えば小領域の表示大きさを $p = 4$ として配線混雑度を指定し、表示された小領域の中心線をたどりながら適当な中継点を指示し、局所的自動概略配線を実行することにより行う。(図3(a)参照)。また、未結線端子間距離が短い場合は小領域の表示大きさを $p = 1$ として概略経路を探索する(図3(b)参照)。

3.3 詳細配線方式

概略経路及びその近傍、あるいは未結線端子を含む範囲の詳細配線パターンを表示し、結線の障害となっている既配線の経路変更を行い、配線スペースを確保して未結線の修正を行う。本システムの配線コマンドではAL1~AL3層の配線層自動割り当て、スルーホール自動生成を行い、操作性の向上を図っている。また配線修正時に即時に配線規則チェックを行い、人手による修正が常に配線規則を満足することを保証している(図4参照)。

4. おわりに

未結線修正を容易に行えるようにするため自動概略配線機能、配線修正時の即時配線規則チェック機能等を持つレイアウトCADシステムを開発した。今後は製品への適用評価を進めるとともに、自動化機能の拡充、使い勝手の向上等を図っていく予定である。

5. 参考文献

- [1] 堤ほか: カスタムVLSI設計システム: FUJITU.39,5, pp.342-348(1988-9)
- [2] Y.Suehiro, et al. "A 120K-GATE USABLE CMOS SEA OF GATES PACKING 1.3M TRANSISTORS.", IEEE Custom Integrated Circuits Conf., 1988, pp.20.5.1-20.5.4
- [3] S.Goto, et al. "LAMBDA: An Integrated CAD System for Master-Slice LSI", the VLSI journal: Integration, Vol.1, No.1, 1985, P.33-69

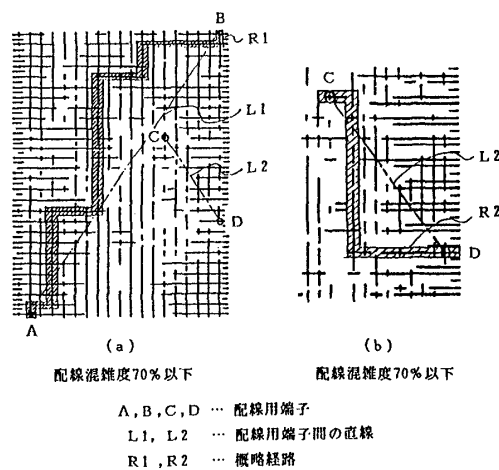


図3 概略経路の決定方法

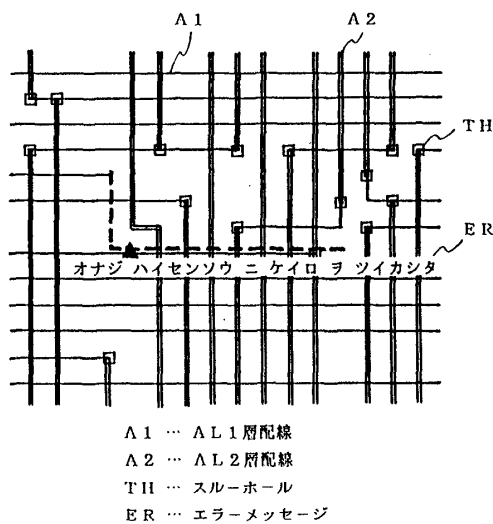


図4 詳細配線の追加方法