

非決定性順序機械によるハードウェア記述言語の意味付け

2V-7

甲村康人, 石浦菜岐佐, 矢島脩三

京都大学

1 はじめに

ハードウェア記述言語 (以下 HDL) はハードウェア設計を計算機によって支援するためにハードウェアの設計や仕様を記述するのに用いられる言語である。HDL に厳密な意味を形式的に与える事は、設計の形式的検証や、言語処理系の性質の証明などの立場から重要である。HDL の意味は基礎となるハードウェアの動作のモデルが定義され、その上で定義される。これまでに提案されている HDL のためのモデルとして VHDL[1]、CONLAN[2] のそれぞれの言語を定義するのに用いられているモデルや、NES モデル [3] 等がある。これらは設計者が直観的に考えるハードウェアの動作に近いモデルとなるように工夫されているが、反面、モデルが複雑になり、設計検証をはじめとするモデルの数学的な扱いを困難にしている。本稿では HDL の意味付けのためのモデルとして単純で数学的な扱いが容易であり、設計検証が可能である非決定性順序機械モデルについて考察する。

2 非決定的なモデルの必要性について

非決定的なモデルとは、ハードウェアに入力を与えた時の動作が一意に通りに決まるのではなく、複数の可能な動作が考えられ、従ってハードウェアの記述が各入力に対する動作の集合で与えられると捉えるモデルである。設計記述言語としての HDL を考える場合、記述対象であるハードウェアはその物理的な不確定さにより本質的に非決定性を持つ。例えば、素子の遅延は製造条件や使用環境などに一意には決まらないなどが挙げられる。また、仕様記述言語としての HDL を考えると、設計の初期段階では許される素子の遅延の大きさや Don't Care の割り当てなど、仕様の不確定さがあり、これらを記述するためにも非決定的なモデルは必要である。

今までの多くの HDL はシミュレーションを実際的な時間で行うために決定的な動作に基づくモデル化を行っている。しかしこれらの決定的な動作は本来のハードウェアの非決定的な動作の近似に過ぎず、それに基づく HDL の意味も不自然なものとなる。このようにシミュレータの実現の都合に歪められた意味はその HDL を用いた検証や合成を困難にするため、できるだけ自然なモデルに基づいた意味を与えるべきである。

3 順序機械モデル

本稿では時間は離散時間であり、信号値は 1 単位時間に 1 つのシンボルが対応する系列であると捉える。さらに、ハードウェアは入力として系列が与えられた時に、系列を

出力するものとし、この入出力の系列の関係を次の非決定性順序機械によって表すものとする。本稿では HDL に意味を与える枠組として、言語のプリミティブに対して順序機械を与え、さらに言語要素に対しそれら順序機械の結合の方法を与える事で言語全体の意味を順序機械として定義する。以下、非決定性順序機械及びそれらの結合のモデルについて述べる。

定義 3.1 (非決定性順序機械) 非決定性順序機械 M を $M = (Q, S, \Sigma, IP, OP, R)$ と定義する。ここで、 Q は状態集合、 S は初期状態の集合、 $IP = (ip_1, \dots, ip_n)$ は入力端子の集合、 $OP = (op_1, \dots, op_m)$ は出力端子の集合、 Σ は各端子に現れるシンボルの集合、 $R \subseteq Q \times \Sigma^n \times Q \times \Sigma^m$ は入出力及び状態遷移関係であり、

$$R = \left\{ (q, \vec{x}, q', \vec{y}) \mid \begin{array}{l} \text{状態 } q \text{ において入力として } \vec{x} \text{ を与} \\ \text{えた時に、出力が } \vec{y} \text{ であるような} \\ \text{状態 } q' \text{ への遷移が存在する} \end{array} \right\}$$

である。

各時刻において M は、上の R を満たすものから 1 つを非決定的に選択して遷移を行う。図 1 に、非決定性順序機械によって表現した遅延 1 又は 2 のインバータ素子を示す。初期状態を q_{00} とすると入力系列 00111000 を与えた場

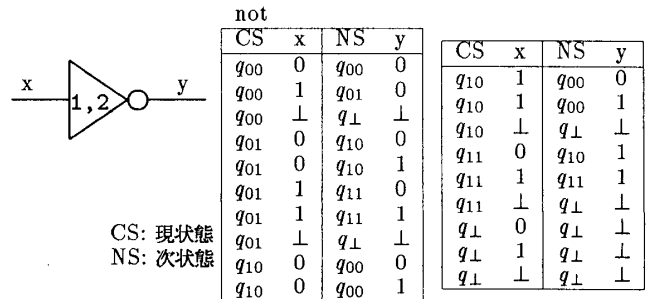


図 1: 非決定性順序機械 — 遅延 1 から 2 のインバータ

合の出力系列の集合は、 $\{00001100, 00001110, 00011100, 00011110\}$ となる。AND、OR 等の基本ゲートや、レジスタ、フリップフロップなど基本的な素子は全てこのように順序機械で表現する事が可能である。次にこれら順序機械の結合をどのようにモデル化するかを示す。

定義 3.2 (直積) 非決定性順序機械上の直積 \times を $M_i = (Q_i, S_i, \Sigma, IP_i, OP_i, R_i)$ ($i = 1, 2$) について、 $M_1 \times M_2 = (Q_1 \times Q_2, S_1 \times S_2, \Sigma, IP_1 \cup IP_2, OP_1 \cup OP_2, R_1 \wedge R_2)$ と定義する

定義 3.3 (制約) 非決定性順序機械上の制約 $|_{\alpha=\beta}$ を、 $M = (Q, S, \Sigma, IP, OP, R)$ について、 $M|_{ip_i=op_j} = (Q, S, \Sigma, IP - \{ip_i\}, OP, R')$ ただし、

$$R'(q, x_1, \dots, x_n, q', y_1, \dots, y_m) = R(q, x_1, \dots, x_{i-1}, y_j, x_{i+1}, \dots, x_n, q', y_1, \dots, y_m)$$

Formal Semantics of Hardware Description Languages Based on Nondeterministic Sequential Machines.

Yasuhito KOURMURA, Nagisa ISHIURA, Shuzo YAJIMA
Kyoto Univ.

と定義する

直観的には、直積は2つの順序機械を並べたもの、制約は出力線 op_j を入力線 ip_i に接続したものと捉える事ができる。非決定性順序機械の結合は全て直積及び制約によって表現できる。例として図2に2つのインバータの結合の様子を示す。 $g1 \times g2|_{c=b}$ が図のような2つの順序機械の結合を表している。

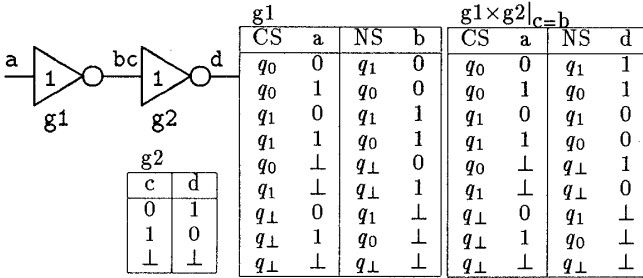


図2: 非決定性順序機械の結合

次に仕様記述及び設計記述の意味が順序機械として与えられたとすると、設計が仕様を満たす事の検証は順序機械の包含性判定で行う事ができるが、これは決定可能である。

4 順序機械モデルの限界

順序機械モデルはハードウェアの動作を、最小の時間単位によって離散化し、記述するモデルであり、信号値の変化や状態の遷移が単位時間より小さな時間の間に生じる事はない(あるいは、そういった事象を扱い得ない)。ただし、ある時刻における出力を同時刻の入力から決める事が出来るため、この意味で零遅延の素子をモデル化出来る。

零遅延は、最小の単位時間に対して十分小さな時間間隔で起こる事象を表現するための遅延であり、これらがループを成す回路では1つの端子に信号値の変化が1単位時間内で複数回生じる可能性があり、場合によっては発振を起こす(図3)。これをモデル化するために、VHDLやCON-

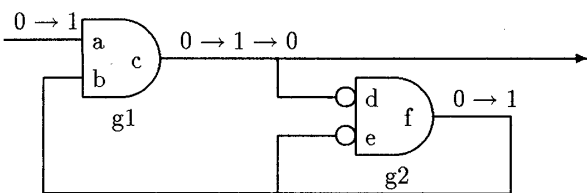


図3: 零遅延によるループ

LANでは零遅延を時間的な遅れは無いが因果関係はあると捉え、単位時間より十分小さな時間である“ステップ”等の概念を導入し、信号値の計算を何ステップか費やして行うというモデルを採用している。しかし、このようにモデルを複雑にし、設計検証などの数学的な扱いを困難にしまでこのように極めて特殊な回路に対してユーザが期待する意味を与えることが必要かは疑問である。

本稿ではこのような回路を表現するために、次のような手法を採る。全ての順序機械を次の条件を満足するように構成する。 $\perp \in \Sigma$ とし、 Σ 上の半順序関係 \preceq を $\forall \sigma \in \Sigma. \perp \preceq \sigma$ を満たす最小の関係とする。 \perp は1単位時間中に複数回の信号値の変化が起きる事を表す特殊なシンボルである。ここで、全ての状態で入出力関係が全ての入力シンボルに対して定義されており、かつ単調でなければならぬ。ここで $f: \Sigma \rightarrow 2^2$ が単調であるとは、

$$x \preceq y \Rightarrow \forall \alpha \in f(x). \exists \beta \in f(y). \alpha \preceq \beta \wedge \forall \beta \in f(y). \exists \alpha \in f(x). \alpha \preceq \beta$$

である事を言う。以上の条件を満足する順序機械の集合は直積、制約について閉じており、これらの演算で零遅延を含む回路をモデル化する事ができる。図3の例をこの手法でモデル化した順序機械を図4に示す。 $g1, g2$ は零遅

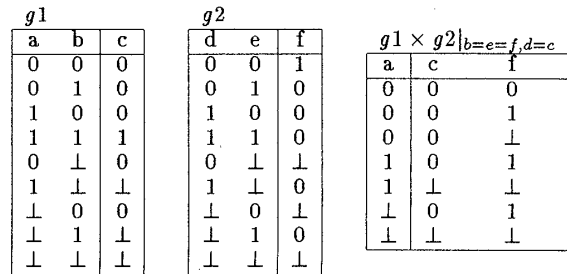


図4: 図3の例の順序機械による表現

延の素子であるから状態数は1であり、それらを結合した $g1 \times g2|_{b=c=e=f,d=c}$ も1状態の順序機械である。入力として a に1を与えた時には c は0で安定する場合と、単位時間に複数回の信号値の変化が起こる場合と2つの可能性がある事が読み取れる。

5 むすび

非決定性順序機械によってHDLの意味を与えるための枠組について述べた。零遅延素子によるループという特殊な場合を除けば、数学的な扱いが容易なモデルを用いてHDLに自然な意味を与える事ができると考えられる。最後に御討論頂いた本学平石裕実助教授、高木直史博士及び矢島研究室の諸氏に感謝します。

参考文献

- [1] R. Lipsett, Erich Marschner, and Moe Shahdad. *VHDL the languages*. IEEE Design & Test, 3(2):28-41, April 1986.
- [2] R. Piloty, M. Barbacci, D. Borrione, D. Dietmeyer, F. Hill, and P. Skelly. *Conlan Report*. Springer-Verlag, 1983.
- [3] 石浦菜岐佐, 矢島脩三. ハードウェア記述言語の意味付けのための非決定的な動作モデル. 信学技報, VLD89-3, 1989.