

RACOON : 機能設計支援システム

2V-5

河原林 政道 村越 昌博 渡邊 祐子 福田 博之 堺 茂樹 佐藤 克也*
 日本電気㈱
 *日本電気アイシーマイコンシステム㈱

1. はじめに

現在、回路規模の大規模化にともない、機能、論理、レイアウト等の各設計段階でのCAD依存率は高くなっている。機能設計段階においては、機能設計仕様をブロック図、タイミングチャート等で表現した後、機能記述言語を用いてハードウェア機能を人手で記述し、その機能を機能シミュレータにより検証する方法が一般に行なわれている。

しかし、一度ブロック図等で設計したハードウェアを機能記述言語を用いて表現し直し、機能検証することは相当な工数がかかり、誤りも入りやすい。さらに、シミュレーション実行後にハードウェア構成を変更する際、シミュレータの直接の入力となる機能記述に対してのみ修正が行われることがしばしばある。このため、修正結果が図面に反映されず、図面がドキュメントとして意味を持たなくなるという問題が生じる。

そこで今回、上述した問題を解決するために、RT(Register Transfer)図面の入力、機能検証を容易に行え、さらに図面とハードウェア記述の対応がとり易い機能設計支援システム” RACOON”を開発したので報告する。

2. RACOONの特徴

RACOONシステムの特徴を以下に示す。

①機能設計仕様を、本システムの回路図エディタを用い視覚的に表現出来る。また、そこで作成された図面中のハードウェア構成要素は、下の階層に図面、またはFDL記述[1]等のハードウェア記述を持つことが出来、それら図面、記述は回路図エディタのウィンドウ上で、作成、編集することが出来る。

②回路図エディタ上で作成した図面から、機能記述言語FDLが自動生成されるので、常に図面とFDLとの対応がとれる。また、生成されたFDLが所望の機能を有しているかを検証するための機能シミュレーションを容易に実行出来る。

③設計したハードウェアの動作をタイミングチャートを用いて表現し、機能シミュレーション用の入出力信号パターンを作成出来る。また、シミュレーション結果の各ノードの状態値、期待値照合結果を波形表示し、検証の手助けとなる。

3. システム構成

本システムは、図1に示す4つの部分から構成される。

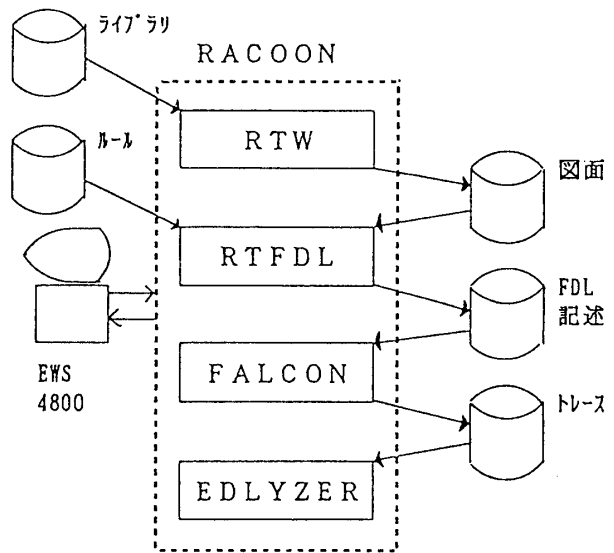


図1. システム構成図

①RT図面入力用回路図エディタ (RTW)

RTレベル設計用シンボル(レジスタ、ALU、メモリ等)を使用して、RTレベルの回路図を入力、編集するためのエディタである。FDL記述生成時に必要となる情報の中で、シンボルを配置、配線するだけでは得られない情報等を、属性としてシンボルに付加、表示する。さらに、下位の階層に図面、またはFDL記述等のハードウェアの記述を持つことが出来るマクロシンボルを用い、階層設計が出来る。

②FDL記述生成部 (RTFDL)

回路図エディタで作成した回路図から生成される図面情報を基に、FDL記述を自動生成する。図面をFDL記述に変換するための変換ルールは、専用の簡易言語でルールファイル中に記述される。ルールファイルには、シンボルに一対一に対応したルールが記述されており、シンボル追加時にはプログラムを修正することなく、ルールをルールファイルへ追加するだけでよい。

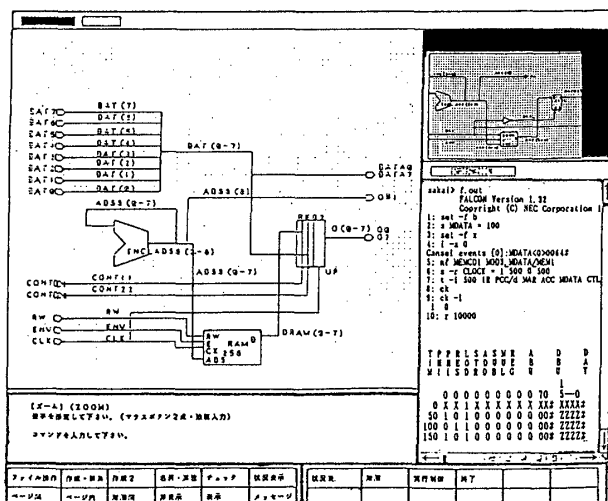


図2. 回路図エディタ

```

/FDL TEST
INPUT CLK,CONT1,CONT2,DAT(0),DAT(1),DAT(2);DAT(3)
DAT(4),DAT(5),DAT(6),DAT(7),ENV,RW;
OUTPUT DAT(7-0),ADSS(8),O(7-0);
REG O(7-0) = IF CLK.UP. THEN
CASE CONT1-CONT2 OF
/OO/ NOC,
/10/ DRAW(7-0),
/O1/ DAT(7-0),
OTHER XXZ
ELSE NOC;
MEM DRAW(O:256,7-0) =
IF CLK*ENV
THEN IF RW
THEN WRITE DRAW(7-0)
AT ADSS(7-0)
&
IF CLK*ENV
THEN READ AT ADSS(7-0);
TER ADSS(8-0) = ADSS(7-0) .ADD. 1;

```

図3. FDL記述例

③機能レベルシミュレーション機能 (FALCON)

RTFDLで生成したFDL記述を用い、対話的、もしくはバッチ的に機能検証が行える。またその実行時には、回路図エディタ上のウィンドウを使用し、シミュレーション用コマンドの入力、シミュレーション結果の表示等の操作を行なう。

④波形出力機能 (EDLYZER[2])

本波形エディタでは、設計対象であるハードウェアの動作を、波形を用いて入力することが出来る。また、機能レベルシミュレーション実行後の、FDL記述中の各ノードの値、および期待値照合結果を波形表示する。バス線はビット幅分束ねて出力することが出来、波形の中に8進、10進、16進数で表示される。また、期待

値を入力することにより、シミュレーション結果との期待値照合が出来る。

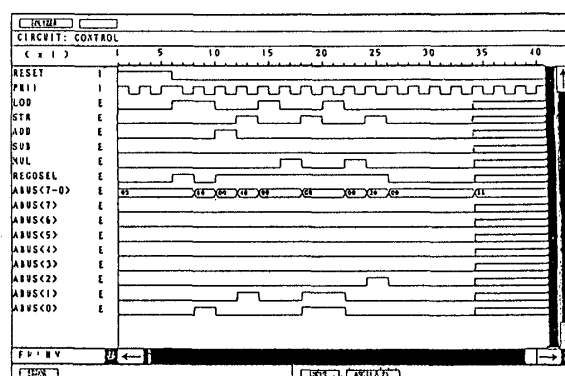


図4. 波形出力例

4. 効果

(1) 図面から自動的にFDL記述を生成する事により、従来の作業に比べ、機能設計段階における工数が約20%削減された。また、現在作成されている図面、FDL記述をライブラリ化することにより、さらに工数削減が見込まれる。

(2) 設計に誤りがあった場合、必ず図面に戻って修正する習慣が付き、ドキュメントとして用いる図面の修正と、修正結果の検証を同時に行なうことが出来るようになった。

(3) 標準化したRT用シンボルを用いているため、図面仕様の標準化が図られる。

(4) 予め、論理合成を行なう際必要となる情報をシンボルに持たせておくことにより、RTレベルの設計から論理合成[3]へのつながりが容易になった。

5. おわりに

本稿では、RT図面入力、シミュレータ、波形出力機能を用い、機能設計を支援する"RACOONシステム"について紹介した。

今後の課題として、論理合成システムとのインターフェースの充実が上げられる。

<参考文献>

- [1]Kato,S & Sasaki,T;"FDL:A Structural Behavior Description Language",CHDL83,pp.137-52 (1983)
- [2]鈴木 他;"PROCEED-SIM 論理シミュレータ"、情報処理第37回全大、PP.1788-9 (1988)
- [3]渡辺 他;"EXLOG:フルカスタムVLSI 論理合成エキスパートシステム"、情報処理第35回全大、pp.1786-7 (1987)