

1V-1

階層クラスタリング手法を用いた  
ゲートアレイ配置手法

袖 美樹子\* 枝廣 正人\*\* 吉村 猛\*\*

日本電気(株) \*システムLSI推進開発本部 \*\*C&Cシステム研究所

1. はじめに

近年ULSIの大規模化に伴いレイアウト設計期間が長期化する傾向にある。そこで大規模ゲートアレイに対し高速で、性能の良いレイアウト手法が望まれている。レイアウト設計において配線長等のレイアウト性能を左右する重要な部分は配置である。

本稿においては、階層クラスタリング手法[1]を用いたゲートアレイ用配置アルゴリズムを提案し、計算機実験結果について報告する。本方法は階層的クラスタリング手法を用いているため局所最適解に陥りにくい。また配置の相対的位置を決めてから下地へのマッピング処理を行うため、下地種類、ブロック、セル使用率による交換不能状態を避けることができる。

計算機実験結果では、従来手法(min-cut法+GFDR法[2])で未配線が生じた例(45Kゲート、セル使用率94%、未配線率2.4%)に対しても、本手法によると約15分(3MIPS計算機相当)で配置を行なうことができ、未配線なしの結果を得られることが確認された。

2. ゲートアレイモデル

図1に本稿で扱うゲートアレイのレイアウトモデルを示す。各セル列の構成は図2のようになっている。F、ㄣ、ヒ、ㄩは下地セルの方向を表す。また、各ブロックの構成例を図3に示す。ブロックを下地に置く時、ブロック内セルの方向と下地セルの方向を一致させる必要がある。

このレイアウトモデルにおいて、下地に全てのブロックを配置した後に交換を試みると、ブロック内セルの方向と下地の方向が一致しない場合交換不能の状態がおこる。このような交換不能状態は、セル使用率が高くなるほど頻出する。

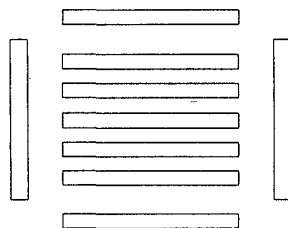


図1.ゲートアレイモデル

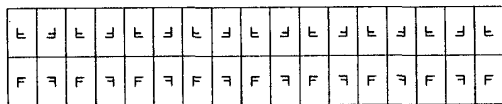


図2.セル列と下地セルの向き

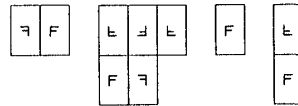


図3.ブロックとブロック内セルの向き

3. 従来手法

ゲートアレイ配置はNP完全問題に属するので、実行可能な計算時間で最適解を見いだすことは困難である。そこでさまざまな発見的手法[3, 4]が提案されている。代表的な方法としてmin-cut法[5]がある。min-cut法においてcut-lineを横切る配線の数を最少とするようにブロックを1つずつ取り出して交換を行なう方法は、図4のような場合一旦解を悪くしてからでない最適解が得られないため局所最適解に陥りやすい。そのため配置結果が初期分割に大きく依存する。

この局所解から脱出するために確率的要素を取り入れた最適化手法としてシミュレーテッドアニーリング法[6]が提案されているが、計算時間に問題がある。

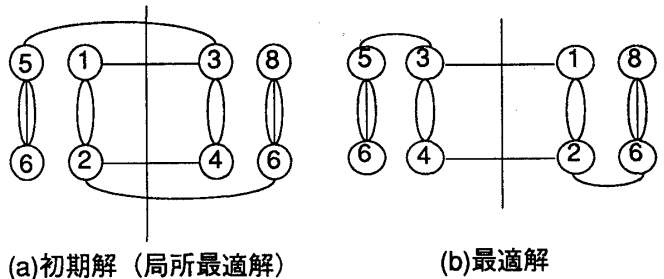


図4. min-cut法による局所最適解

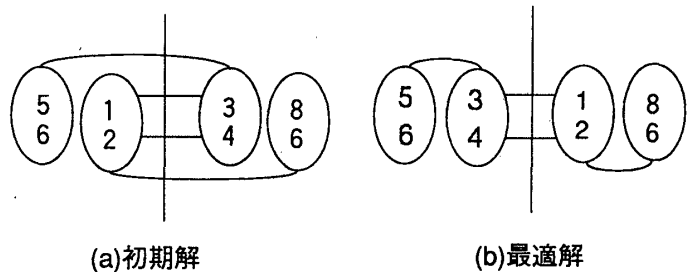


図5. 階層クラスタリングによる局所最適解の回避

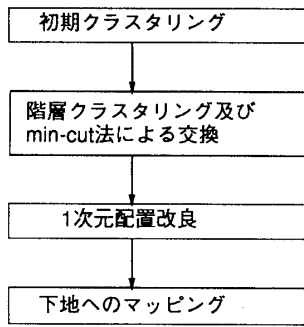


図6.処理フロー

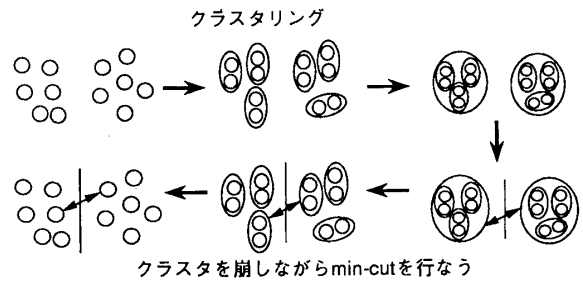


図7.階層クラスタリング

4. 配置アルゴリズム

本節ではゲートアレイ配置のための新しいアルゴリズムを提案する。図6に提案するアルゴリズムの処理フローを示す。

(1)初期クラスタリング

ネットの接続度により各クラスタがほぼ同じ大きさになるようにクラスタを形成する。これにより次の階層クラスタリングにおいてクラスタの大きさを考慮せずに交換することができる。

(2)階層クラスタリング及び min-cut法による交換

最終的にクラスタの数が2個になるまで階層的にクラスタを形成していく。次に、クラスタを崩しながら各階層で min-cut法による交換を行う(図7)。

(3)1次元配置改良

(2)の結果よりセル列を構成し、各セル列内で配線長最小を目的関数として、1次元配置改良を行う。

(4)下地へのマッピング

(3)の結果に基づき下地にブロックを配置する。この時ブロック内のセルの向きと下地の向きが一致しない場合、配置できないブロックが生じる。ここでは配線長を考慮しながらブロック位置の交換を行い、すべてのブロックを配置する。

5. 手法の特徴

- 1)階層的にクラスタを形成していき最終的に2個のクラスタを作る。これを min-cutのための初期分割とするため、良い初期状態を得ることができる。
- 2)階層クラスタリングの時、大きいクラスタを交換してから小さなクラスタを交換していくため局所最適解に陥りにくい。図4の例では、ブロックを1つ1つ取り出し交換をおこなった場合一旦解を悪くしないと最適解が得られないが、階層クラスタリング法によれば解を悪くすることなしに最適解を得ることができる(図5)。
- 3)1)、2)より、シミュレーテッドアニーリング法のような交換回数が多い手法を用いずに短時間に良い解を得ることができる。
- 4)ブロックの相対的位置を決めてから下地にマッピングしていくため、下地種類、ブロック、セル使用率によるブロックの交換不能状態を避けることができる。

6. 計算機実験結果

計算機実験結果を表1に示す。比較は既存システム(min-cut法+GFDR法)と本手法に対し、同じ配線システムを使用することにより行っている。回路2は既存システムにおいて未配線を生じた例であるが(未配線率2.4%)、本配置手法によるとCPU時間15分36秒で配置を行なうことができ(BWS4800/50(3.2MIPS))、未配線なしの結果を得ることができた。また配置後の予想総配線長においても35%短いことを確認した。

7. おわりに

階層クラスタリングを用いたゲートアレイ配置手法を提案した。計算機実験結果より、この手法を用いると短時間で有効な解を求めることができることを確認した。

謝辞

日頃御指導頂く杉山部長、永井部長に深く感謝いたします。

参考文献

- [1]枝廣、吉村: "階層クラスタリングを用いたスタンダードセルLSIのための配置アルゴリズム," 1989年電子情報通信学会秋季全国大会。
- [2]S. Goto: "A Two-Dimensional Placement Algorithm for Master Slice LSI Layout Problem," Proc. 16th DAC, pp.11-17, 1979.
- [3]J. M. Kleinhans, G. Sigl, and F. M. Johannes: "GORDIAN: A New Global Optimization / Rectangle Dissection Method for Cell Placement," Proc. ICCAD-88, pp. 506-509, 1988.
- [4]M. Hanan, P. K. Wolff, Sr. and B. J. Agule: "Some Experimental Results on Placement Techniques," Proc. 13th DAC, pp.214-224, 1976.
- [5]M. A. Breuer: "A Class of Min-Cut Placement Algorithm," Proc. 14th DAC, pp. 284-290, 1977.
- [6]S. Kirkpatrick: "Optimization by Simulated Annealing," Science, Vol. 220, No. 4598, pp. 671-680, 1983.

表1.計算機実験結果

	回路1	回路2
下地	45Kゲート	45Kゲート
ネット数	8019本	9707本
ブロック数	5536個	8401個
セル使用率	79%	94%
CPU時間	15分38秒	15分36秒
配置後の総配線長予想値(既存システムに対する改善度)	27.3%	35.0%