

アウトライン・フォント文字生成 L S I

5J-4

皆川 勉 甲斐 直行 長嶋 一郎 大橋 正秀
(株) 東芝 半導体技術研究所

1. はじめに

近年デスクトップ・パブリッシング(DTP)の普及に伴い、高品位文字の要求が高まっている。DTPでは、いろいろな書体やサイズの文字フォントを扱えるだけでなく、文字の大きさを自由に換えられ、回転や白抜き等も容易に出来ることが必須である。これは、従来のドット・フォントでは難しい。そこでアウトライン・フォントが脚光を浴びている。図1にアウトライン・フォントの例を示す。アウトライン・フォント文字の生成は一般に以下の手順で行われる。

(1) 前処理ステップ

アウトライン・データから拡大、縮小、回転を含めた座標変換を行い描画パラメータを得るステップ。

(2) アウトライン(外枠)描画ステップ

描画パラメータから外枠を描画する処理ステップ。

(3) 塗潰し処理ステップ

外枠で囲まれた閉領域を塗潰す処理ステップ。

以上の何れのステップもソフトウェア処理では時間がかかるが、(1)前処理ステップについては最近の数値演算プロセッサの性能の向上により高速化されつつあるのに対し、(2)、(3)のステップは依然としてボトルネックとして残っていた。フォント・グラフィック・アクセラレータは、塗潰しとBezier曲線発生に独自のアルゴリズムを採用し、ハードウェア化することで、この2つの処理ステップを高速に処理することを実現した。

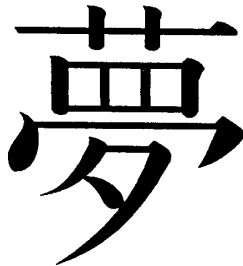


図1 アウトライン・フォント

2. フォント・グラフィック・アクセラレータ

フォント・グラフィック・アクセラレータ(FGA)は、パソコンやワークステーション等のレーザプリンタやCRT上にアウトライン・フォントの高品位文字を高速に生成するためのLSIである。FGAはアウトライン・フォント文字を、高品位文字生成に適したBezier曲線を用いるとともに、新アルゴリズムの採用により、高品位、高速生成を達成した。

FGAの基本機能は、直線描画、円・楕円描画、Bezier曲線描画、閉領域の塗潰しである。性能は、Bezier曲線発生 200ns/ドット、直線発生 50ns/ドット、塗潰し 200ns/バイトを実現、60x60ドットのかな漢字まじり文、4000文字を約1秒でドット・イメージに展開する(20MHz動作時)。これは従来の汎用CPUのソフトウェア処理で行う場合に比べ約500倍の速さである。

開発期間は仕様設計からLSI開発までを、社内のCADツールを全面的に使って9.5ヶ月で開発を行った。1.2μm CMOSプロセスを用い、チップサイズは11.32mm²で13万7千素子。

表1に機能、性能を示す。

An Outline Font Character Generating LSI
Tutomu MINAGAWA, Naoyuki KAI, Ichiro NAGASHIMA, Masahide OHASHI
Toshiba Corp. Semiconductor Device
Engineering Lab.

3. FGAの構成

図2にFGAのブロック図を示す。アウトラインのdx, dyを生成するブロックとして、Bezier曲線を生成するBezierブロック、直線、円・楕円を生成するDDA(ディジタル微分解析器)ブロックがあり、セグメントの種類に応じて該当するブロックがdx, dyの値を専用のdx-dyバスに出力し、塗潰しブロックが、その値を順次取り込み、A面、B面のワークメモリに外枠を描画し、最後に内部を塗潰す。

図4はFGAを用いたアウトライン・フォント文字生成システムの構成の例を示す。ホストCPUは、フォントメモリからアウトライン・データを読みだし、座標変換などの前処理を行い、パラメータ/コメントをFGAに書き込む。ワークメモリ上に、ドット・イメージに展開された文字パターンが作られると、ホストCPUはFGAを経由してパターンを読み出してフレームバッファに転送し、レーザプリンタやCRT上に表示する。

4. 塗潰しアルゴリズム

我々は新しい塗潰しアルゴリズムを開発した。このアルゴリズムは外枠のラスタ化と塗潰しを分離し、そのインターフェイスとして、1つの閉曲線あたり、次の最小限の情報のみを用いることにした。①閉曲線上の任意の1点の座標。②隣接する2点の差のdx-dy(0, ±1の値)。これにより、FGAの内部バスに専用のdx-dyバスを設けることで、ハードウェア化が容易になり、高速化が図られるとともに、外枠のラスタ化に任意のアルゴリズムを

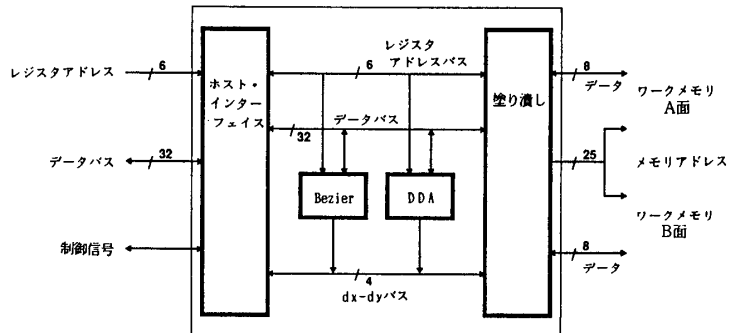


図2 FGAブロック図

用いることが可能となった。このアルゴリズムはワークエリアとしてA面、B面の2面のメモリを必要とする。

第1ステップの動作は、スタート座標と隣接する2点の差のdx, dy情報により、A面には完全な外枠を作り、B面には塗潰しのための情報(フラグ)を作る。B面上の点(x, y)は入力情報(dx0, dy0)と出力情報(dx1, dy1)の2組の情報により、ルールに従ってフラグ化("1" or "0")される。(図3)

第2ステップでは、A面とB面のワークメモリを用いて、外枠で囲まれた閉領域を塗潰す。このアルゴリズムはエッジ・フラグ・アルゴリズムを基本としているが、dx-dyデータと2つのワーキングメモリを使用することで、次の点でエッジ・フラグ・アルゴリズムとは異なっている。①頂点の特別な扱いを必要としない。②ホリゾンだけでなく自由な外枠の描画が可能。③外枠が何重にも交差している複雑な場合でも塗潰しが保障される。

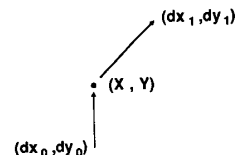


図3 フラグ生成

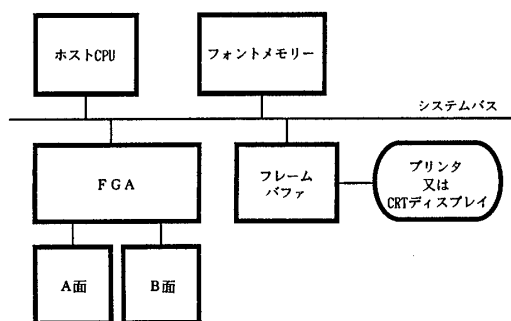


図4 システム構成図

5. Bezier曲線発生アルゴリズム

3次のBezier曲線は、パラメータ(0 ≤ t ≤ 1)の3次関数で表される曲線で、4つの制御点、P₀、P₁、P₂、P₃の座標を用いて次式で定義される。

$$P = P_0(1-t)^3 + P_13t(1-t)^2 + P_23t^2(1-t) + P_3t^3$$

我々は、Bezier曲線をt=0.5で、2つに分けた時、各々の新しい制御点が元の制御点より、簡単に求まる性質を利用して、徐々に2つに分解していく方法を採用した。(図5)

このアルゴリズムのハードウェア化として、Bezierブロックは、X(Y)レジスタ、2分割回路、スタックメモリ、判定回路から構成される。(図6)

制御点の座標は、4つの28ビットのX(Y)レジスタにセットされる。それらは整数部14ビット、小数部14ビットから成る。

2分割回路はまず最初に、Xレジスタの内容を2組の制御点のX座標を求める。そのうちの1組(Q₀-Q₃)はレジスタに戻され、もう1組(R₀-R₃)は次のクロックサイクルでスタックメモリにスタックされる。次にY座標についても同様の動作を行う。2分割後はR₀=Q₃であるため、実際にスタックメモリにスタックされるのはR₁、R₂、R₃の座標で、ワード長は84ビットである。スタックメモリは32ワードあり、1組の制御点はXとYで2ワード使う。2分割のネスティングの深さはワークメモリサイズが32MBであることから、最大16レベルとした。

判定回路は2分割を続けるかどうかの判定と、dx, dyの値の生成を行う。判定は2分割されたBezier曲線のセグメント

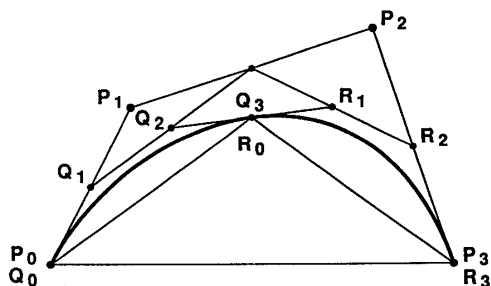


図5 Bezier曲線

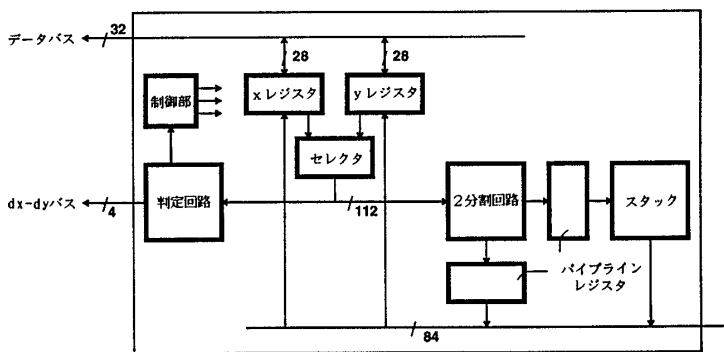


図6 Bezierブロック・ブロック図

が、隣接する2点に縮退してしまったかどうかを判定する。判定は|round(X₀) - round(X₃)|と|round(Y₀) - round(Y₃)|の両方が1以下かどうかを見る。実際の動作では、2分割や判定と、スタックメモリへのスタック操作(PUSH/POP)とが2段のパイプライン動作をする。即ち、Xレジスタの内容について、判定や2分割を行っている間に、1クロック前のYについての2分割の出力の片方をスタックメモリへPUSHし、もう一方をYレジスタに戻すか、或は、スタックからPOPした値をYレジスタにしまうか、のどちらかを行う。この為、2分割回路の出力を保持する各々84ビットのパイプラインレジスタが2組ある。この2分割や判定と、スタックメモリへのPUSH/POPの1ステップのループは2クロックサイクルを必要とし、dx, dyの値はXのPOP動作の時に出力される。全てのステップではPUSHかPOPかの何れかが動作する為、Bezier曲線の発生は平均4クロック/ドットで行うことが出来る。これはDDAブロックによる円弧の発生の3クロック/ドットに比べて遜色はない。

6. 実機評価

実機評価を行い、機能と性能を確認した。システムの基本構成は、ホストCPU(68020 @25MHz)、D-RAM(1wait)とFGA(@12.5MHz)である。性能は一例であるが、文字フォントとして「夢」(セグメント数はBezier曲線 32組、直線 39組)を例に示す。文字フォントの描画サイズは64x64ドット。ホストCPUの座標変換等の前処理ステップの時間は除く。

- ★ホストCPUはFGAにパラメータ/コメントを書込む
 - ★FGAは外枠を描画
 - ★FGAは外枠内部を塗潰す
 - ★ホストCPUは生成された文字パターンをフレームバッファへ読み込む
- 以上の合計処理時間は860μsであった。

7. まとめ

FGAはBezier曲線発生と外枠内の塗潰しをハードウェア化した独自のアルゴリズムを開発し、専用のハードウェアにインプリメントすることで、アウトライン・セグメントに直線と円弧だけでなく、3次のBezier曲線も高速に発生が出来、さらに、外枠で囲まれた閉領域を正確かつ高速に塗潰すことを実現した。

Bezier曲線を使ったDTPシステムは、このLSIを導入することで2桁の性能アップが見込まれるだけでなく、今後、廉価なDTPシステムも実現が可能になると思われる。

8. 参考文献

- (1)W.M.Newman, R.M.Sproull, Principles of Interactive Computer Graphics, McGraw-Hill, 1979.
- (2)B.D.Ackland, N.H.Weste, "The Edge Flag Algorithm - A Fill Method for Raster Scan Displays", IEEE Trans. on Computers, VOL 30, No 1, PP.41-48, January 1981.

アウトライン生成	
3次Bezier曲線	200ns/ドット(20MHz動作時)
直線	50ns/ドット
円・楕円	150ns/ドット
塗り潰し	200ns/バイト
文字パターン生成速度	4000文字/秒 (60×60、かな漢字まじり)
最大バッファ・サイズ	32MB×2
クロック	20MHz
電源	5V
消費電力	400mW
製造技術	1.2μm CMOS
素子数	137,000素子
チップサイズ	11.32×11.32mm ²
パッケージ	144ピン フラットパッケージ

表1 FGAの機能、性能、LSI特性