

意味ネットワークマシン (IXM) プロトタイプの開発

7U-2

樋口哲也、古谷立美、半田剣一、楠本博之、国分明男

(電総研)

1. はじめに

意味ネットワークは扱うデータ数の増大に伴って計算量が爆発的に増加する問題の一つである。スーパーコンピュータを用いても、ベクトル処理の導入効果はあまり期待できない。計算量の増加を抑制し、より大きな意味ネットワークを扱えるようにするには、処理アルゴリズムのオーダを低減することがポイントであり、そのためには超並列計算機の導入が必須である。このような観点から電総研では意味ネットワーク処理向き並列マシンIXMの開発を進めている。IXMは、大容量連想メモリを備えたマルチプロセッサシステムであり、現在構築中のプロトタイプでも、PEと連想メモリの並列性をあわせると100000以上の並列性を有する高並列計算機である。

本稿ではIXMプロトタイプの概要とその性能についての予備的検討を行う。

2. 意味ネットワーク言語IXL

IXLはIXMマシンのプログラミング言語である。実体は、意味ネットワーク処理用の述語(これをIXLコマンドと呼ぶ)をPrologに付加したもので、意味ネットワークに対する全解探索をPrologプログラムの中から行える(もちろんPrologもそのまま使える)。

例えば次の節が入力されたとする。

?-isa(canary, X), write(X), fail.

isa(canary, X)は、カナリアの上位概念を求めると、意味ネットワーク処理用の述語である。これがホスト計算機上で解釈されると、IXMマシンにIXLコマンドとして渡され、その解が一斉に求められる。Prologが苦手とする集合演算も、IXMマシンでは連想メモリの利用により効率的に処理できる。

3. IXMマシンの全体構成

IXMマシンは、ホスト計算機の制御下でMIMD的に動作するマルチプロセッサであり、図1に示すように連想メモリを備えたPEと、これらを接続し、かつ意味ネットワーク処理の一部も担う連想ネットワークから構成される。

各PEには連想メモリがあり、全体を分割した“部分”意味ネットワークを格納する。PEの実行はプログラムカウンタに基づく制御でなく、意味ネットワーク内を流れるマーカによって起動される非同期型制御に基づいており、並列性を生かす目的を持つ。連想ネットワークはプロセッサ

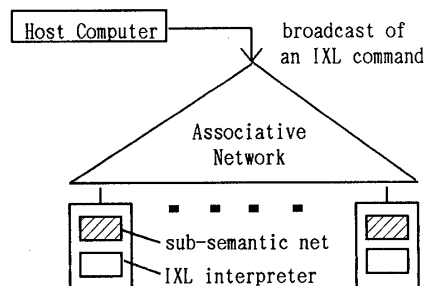


図1 IXMの全体構成

間通信を行うほかに、連想メモリを用いてマーカ伝搬の並列化処理を行う。そのネットワーク構造として木構造のネットを提案しており、各接点にネットワークプロセッサ(NP)を置く。

IXMマシンの実行は、一つのIXLコマンドを単位としている。たとえば、カナリアは何の下位概念かを調べるのに、isa(canary, X)というIXLコマンドを発するが、この処理が終わるまでIXMマシンは他のコマンドを受け付けない。但しその一つのコマンドの実行中にIXMマシン内の各PEはMIMDで動作する。

4. プロトタイプシステムの概要

3に述べたアーキテクチャの検証を行うために、現在32台のCPUと連想メモリから成る意味ネットワークマシンIXMのプロトタイプを製作している。プロトタイプの試作といっても連想メモリをすべて実装すると、ビット数の上では連想プロセッサSTARANの2倍となる。

プロトタイプは図2に示すように、1)ホスト計算機SUN3、及びIBM PC、2)任意の接続形態を実現するための5枚のスイッチ基板、3)PEまたはNPの機能を実現する32枚のPE基板の三つの部分から成っている。IXMの一般ユーザはSUN3上のPrologプログラムからIXMを利用する。IBM PCはデバッグ用である。

・PE基板

PE基板の写真を図3に示す。PE基板は、T800トランスピュータ、連想メモリ、SRAM、リンクアダプタ、および周辺回路から成る。

トランスピュータはプロセッササイクルが17.5MHzである。内部にはサイクルタイム59nsの4KByteオンチップRAMを備えている。外部メモリは32K語X32ビットのSRAMで、サイクルタイムは230nsである。トランスピュータの4本のシリアルリンクは、20Mbit/sに設定する。しかし、4本だけでは4進木やハイパーキューブ接続ができないため、リンクアダプタと呼ぶ直並列変換用のチップをT800のバスに接続して、リンク数を8つに増や

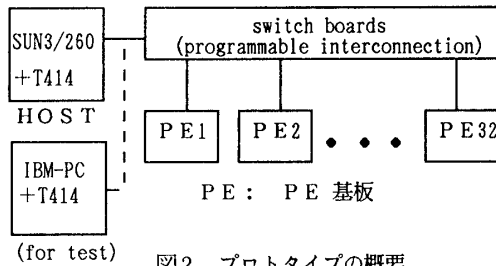


図2 プロトタイプの概要

している。連想メモリはSRAMと共にoccamのアドレス空間に割り付けられており、T800からはRAMと同じようにアクセスできる。アクセス時間の実測平均は約450nsである。

連想メモリはPE基板当たり4k語を実装する予定であり、IXMマシン全体で128k語となる。この規模は現時点では最大規模の範疇に入る。

連想メモリの一語40ビットに意味ネットワークの1リンクが格納される。ただし、図4にあるように、一つのリンクについて、それを逆方向から見たものも1リンクに数えるので、1リンクは、連想メモリの2語を占める。従って、IXMプロトタイプ全体で最大64Kリンクまでの並列処理が可能である。またノード数では、最大32K個まで扱える。

・スイッチ基板

32台のトランスピュータの持つシリアルリンクの総数は128本であり、これらを5枚のスイッチ基板に分けて接続し、32PE基板間の任意の接続形態を実現できるようにしている。スイッチ基板内のリンクスイッチLSIは、入力、出力を各32本持っており、入出力間の対応関係、つまりPE基板間の接続形態は、ホスト計算機内のトランスピュータからソフトウェアで書き換えられる。こ

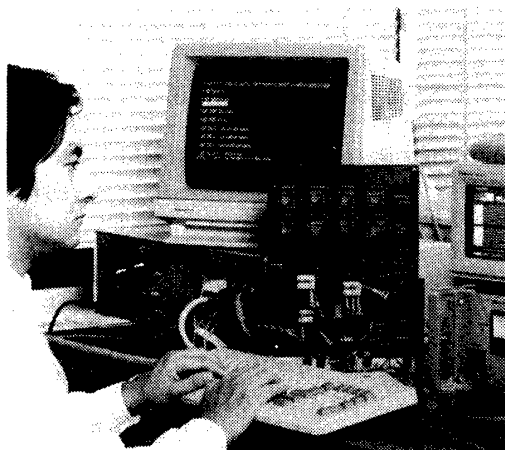


図3 PE基板 (写真中央)

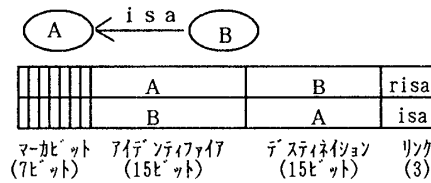


図4 意味ネットワークの連想メモリへの展開
の可変な接続機構により、提案している4進木構成のほかに、2進木や3進木、あるいはハイパーキューブ構成も実現することができる。

現在プロトタイプは、スイッチ基板については完成しており、PE基板は図3の改良版を32枚製作中であり、ハードウェア全体は来春に完成する予定である。

5. 性能の予備的評価

IXMの利点は連想処理と集合演算が、データ数に拘わらず一定時間で行える点にあるため、大規模な意味ネットワークを扱わないと真価が出にくい。執筆時点では図3のPE基板1枚を用いて基本ソフトウェアの開発を行っているため、その意味で十分な評価はまだ行えない。また評価に当たっても、扱う意味ネットワークの構造、そして処理する質問の性質(例えばjoinが多い等)によって処理性能が大きくことなるため、ベンチマークの設定は重要課題である。とりあえず試験的に図3のPE基板1枚上で走らせたプログラムの結果では、SUN4とほぼ同等の性能が得られている。それは、102ノード、310リンク、4つのisa階層の意味ネットワークに対しての集合演算であり、SUN4用プログラムはCで書き、ハッシュでできる限り高速化している。ノード数が少ないため、実際はSUNにとってかなり有利と考えられる。

また、連想メモリは、数値演算も各語上で並列に行える。16ビットデータに対する[以下]処理を実測したところ、70マイクロ秒となった。この数値は、128K語に対しても成り立つので、その場合1語当たりの[以下]処理時間は、0.53ナノ秒となり、これは約1800MOPSに相当する。

6. おわりに

IXMマシンは、Prologプログラムの中から呼べるため、その高速処理をAI応用で広く利用できると思われる。末筆ながら連想メモリでご援助を頂いたNTT・LSI研究所の小倉武氏、本研究の機会を与えられた柏木電総研次長、日頃ご指導頂く棟上情報アーキテクチャ部長に感謝する。

1) 小倉、他: "20Kb CAM(Content Addressable Memory) LSI", 信学技報、CPSY87-23, pp. 31-37, 1987.