

## アルゴリズム駆動ニューロコンピュータ AN1

3U-6

(3)ディジタル・ホップフィールド・ニューラルネットワーク

阿江忠 相原玲二 新田健一 久長穰 平田秀一

(広島大学)

## 1. まえがき

アルゴリズム駆動ニューロコンピュータ AN1<sup>(1)</sup> は従来のノイマン型コンピュータとホップフィールド型ニューラルネットワーク<sup>(2)</sup> と組み合わせて構成され、プロセッサとニューラルネットワークが共同して問題解決にあたる。本稿では、まず、ニューロンをディジタル化して実現する方法について述べる。次に、このニューロンを用いたホップフィールド型ニューラルネットワークを構成し、その特性について測定を行った。

## 2. ディジタル・ニューロン

ニューラルネットワークはニューロンを多数相互結合させたものである。このニューロンの工学的モデルはしきい値関数であり、その入出力関係は次式で表される。

$$y = \begin{cases} 1 & \text{if } X > 0 \\ 0 & \text{if } X < 0 \end{cases} \quad (1)$$

$$X = \sum a_i x_i - \theta$$

ここで、 $x_i$  は入力、 $y$  は出力、 $a_i$  は入力  $x_i$  に対応する重みを表す。さらに、入出力特性に非線形性(シグモイド特性)を導入したモデルも用いられる。このモデルをVLSI技術により実現することにより、ハードウェア・ニューロンが実現できることになる。このためには次の条件を満足しなければならない。

- (1) 入出力関数がしきい値関数であること
- (2) 結合と重み、つまり入出力関数が可変であること
- (3) 多くのニューロン間の相互結合を可能とする多入力素子であること

この実現法の多くは、アナログ回路を用いて行なわれる<sup>(3)</sup>。AN1では、以下の理由によりディジタル回路を採用している<sup>(4)</sup>。

アナログ素子で実現する方法では、重みとシグモイド特性はそれぞれ抵抗と飽和特性を持つ増幅器で構成される。入力を電圧に、重みをコンダクタンスに対応させることにより、式(1)の線形和  $X$  は電流加算によりアナログ的に計算される。増幅器により電流-電圧変換を行い、出力を得る。この方法は入力

数を大きくできるけれども、抵抗値は増幅器の入力、出力特性に影響され、各値の調整が必要となる。また、入力関数を可変にするには抵抗値を変更しなければならない、一般的な実現は必ずしも容易ではない。

アナログ演算回路の欠点を補うべく、部分的にディジタル素子を用いたニューロン実現法もあるが、AN1では完全なディジタル回路でニューロンを実現している。式(1)のしきい値関数はブール素子により実現できる。結合と重みの変更には可変なブール素子が必要となるが、PLA, ROM/RAMがそれに該当する<sup>(5)(6)</sup>。

PLAはAND層とOR層からなり、AND層の接続を自由に可変できる素子である。ブール関数を積和標準形で表したとき、AND層のANDゲート数は少なくとも積和標準形の積項数だけ用意し、しかも、可変にできる必要がある。ところが、市販のPLAのAND数は高々8~64程度と少なく、オンラインで可変にできるものはない。将来はPLAでもニューロンが実現できる可能性があるが、AN1では現在の技術で実現することにした。

ROM/RAMはアドレス入力に対して、それに対応する記憶セルの内容を出力する素子であるから、ブール関数の真理値表を記憶させれば、ブール関数素子の直接的な実現となり、RAMの場合は真理値表の書き込みがオンラインで実現できる。RAMを用いるニューロンの基本回路を図1に示す。

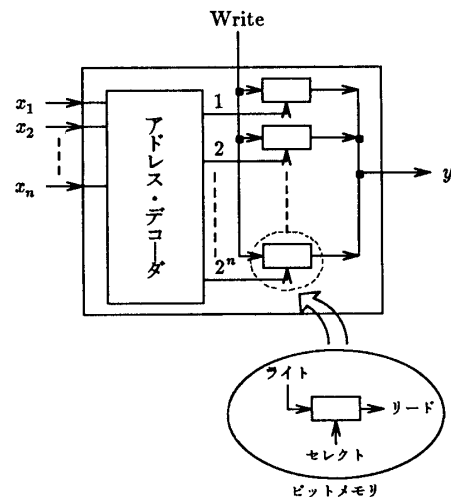


図1 RAMニューロン

AN1では、以上の理由によりRAMニューロンを採用しており、具体的には市販の256kbitのS-RAM(62256)を用いて、17入力のニューロンを構成している。

### 3. RAMホップフィールド・ニューラルネットワーク

ホップフィールドのニューラルネットワークは各ニューロンを完全結合させたネットワークであり、エネルギーを評価関数として持ち、これを極小とする状態に収束するように動作する。

AN1では、RAMニューロンを用いてこのネットワークを構成している。ネットワークのみに着目した図を図2に示す。この図において、トリガベクトルは外部入力であり、ニューロンの状態（出力値）を任意に設定することができる。つまりネットワークに初期状態を与える。RAMニューロンの17本の入力のうち2本をこれに割り当て、残りの15本をニューロン間のフィードバックに割り当てている。また、RAMの出力には積分回路を以下の理由により挿入している。

RAMには一定の遅延が存在するため、図1は積分回路がないと発振する。RAM (62256) 単独で測定した遅延が約80nsであるので、少なくとも、二素子間の最短帰還路で発振する可能性があった。事実、実験回路では周期150ns（単純な予測では160ns）で発振した。この発振を抑えるために、積分回路を挿入し、遅れ補償を行っている。積分回路の時定数は発振周期の約2.5倍程度とり 350~400ns に選んでいる。

#### 4. 状態遷移に関する実験

このネットワークは状態をもつという点から、メモリであると同時に、ニューラルコンピュータシミュレーションを行う状態機械とみることが出来る。状態遷移はトリガベクトル（初期状態）により、(1)安定状態から安定状態への遷移と(2)不安定状態から安定状態への遷移に分けられる。そこで、それぞれの場合について、ネットワークの状態遷移時間と遷移を起こすに必要なトリガベクトルのパルス幅（トリガ幅）の測定を行った。これらの時間はネットワークにトリガベクトルを与えて、遷移した状態をよみ出す動作を行う限り、その動作を補償するものであり、測定値は表1に示されている。この値はアナログニューラルチップに比較して数倍程度大きい。これはRAMの遅延が大きいため発振を補償する時定数を大きくしなければならぬためである。しかし、RAMニューロンを専用LSI化することにより改善可能であると思われる。

#### 5. RAMニューロンの特徴と問題点

デジタル・ニューロンとしてRAMニューロンを用いると、次の長短がある。

- (1) RAMの性質として、書き換えが可能である。そのため、AN1ではニューラル制御プロセッサNPの支援のもと、オンラインにニューロンの関数を可変にできることを意味している。このため、従来のニューラルネットワークより、空間複雑さ (space complexity) の点で優れている。

- (2) しかし、RAMのデコーダはニューロン数  $n$  に対し  $O(2^n)$  の空間複雑さをもつ。今後、(2)の欠点を改良するためには、しきい値関数およびその部分クラスの特徴を解明する必要がある。一般のしきい値関数については悲観的であるが、いくつかの部分クラスについては複雑さを減少させることが可能であると思われる。

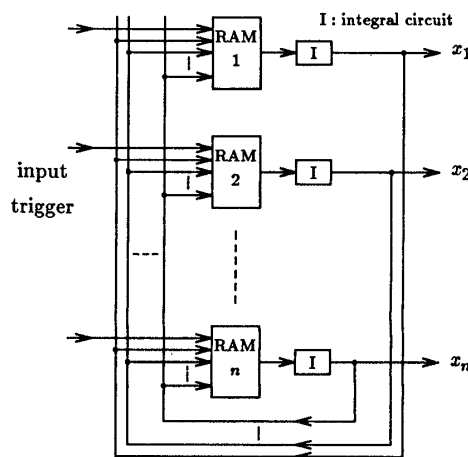


図2 デジタルホップフィールドニューラルネットワーク (RAMの場合)

表1 遷移時間とトリガ幅

	トリガ幅	遷移時間
安定→安定	1.06	2.50
安定→不安定	2.40	-
不安定→安定	-	3.80

(ニューロン数  $n=8$ , 時定数 350ns, 単位  $\mu s$ )

#### 文献

- (1) 阿江, 山下, 相原, 新田; "アルゴリズム駆動ニューロコンピュータ AN1" 電子情報通信学会集積回路研究会資料 (Dec, 1988).
- (2) J.J.Hopfield and D.W.Tank "'Neural' Computation of Decision in Optimization Problems" Biological Cybern., vol.52, pp.141-152, 1985.
- (3) R.E.Howard, L.D.Jackel, and H.P.Garf "Electronic Neural Network Chips" 5th Internal Workshop on Future Electron Devices - Three Dimensional Integrstion -, May 30-June 1, 1988 Miyagi-Zao pp.33-37.
- (4) 久長, 新田, 相原, 山下, 阿江; "SRAMを用いたニューラル・ネットワークの試作" 昭和63年電気関係学会中国支部連大 122508.
- (5) T.Ae and R.Aibara "A Neural Network for 3-D VLSI Accelerator" International Workshop on VLSI for Artificial Intelligence 20th - 22nd July, 1988
- (6) I.Aleksander "A special Chips Necessary for Neural Computing ?" International Workshop on VLSI for Artificial Intelligence 20th - 22nd July, 1988