

デジタルニューロチップの開発

3U-1

¹平井有三、²安永守利、²大山光男¹筑波大学 ²(株)日立製作所 中央研究所

1. はじめに

完全デジタル型ニューロチップを開発した。本ニューロチップは、次のような特長を有している。

- (1)神経細胞の構成要素である、細胞体、樹状突起、シナプスともデジタル回路だけで構成されている。
- (2)個々の神経細胞回路は非同期に動作する。ニューラルネット全体の同期を取る必要がなく、ニューロチップを単に接続して行くだけで大規模なニューラルネットが構成できる。
- (3)ニューロチップを幾つ接続しても、処理速度は一定である。
- (4)回路の出力は実際の神経細胞の入出力表現形式と同様に、パルス密度で表現している。
- (5)細胞体回路の動作は、非線形微分方程式にしたがう。
- (6)樹状突起回路は、シグモイド関数に類似した非線形空間加重特性を持つ。
- (7)シナプス荷重は多値である。
- (8)ニューロチップで構成したニューラルネット全体を、計算機の記憶空間にマップすることにより、シナプス荷重の動的な変更による学習系の構成、神経細胞出力の動的なモニターと任意の出力値へのクランプが可能である。

2. 神経細胞のモデル

ニューラルネットが相互にやり取りされる情報は、神経インパルスのパルス密度で表現されたアナログ値である。一つの神経インパルスが到着すると、シナプスと呼ばれる情報伝達部を介して神経細胞内に正または負のアナログ電位が生じる。正の電位を発生するものを興奮性シナプス、負の電位を発生するもの抑制性シナプスという。一つの神経インパルスで発生する電位の大きさが、シナプス荷重で決まる。このアナログ電位が時・空間加重され、しきい値を越えると神経インパルスが発生し、神経線維を介して他の神経細胞に情報が送られる。神経細胞の内部電位の変化 $y^*(t)$ は、次の微分方程式で表現することができる。

$$\mu \frac{dy^*(t)}{dt} = -y^*(t) + \sum x_i(t)w_i - \theta \quad (1)$$

ここで、 μ は時間加重の時定数、 $x_i(t)$ は入力パルス密度、 w_i はシナプス荷重、 θ はしきい値である。内部電位がしきい値を越えると出力をだす。したがって、出力 $y(t)$ は、

$$y(t) = f[y^*(t)] \quad (2)$$

と表現できる。関数 $f[\]$ は内部電位を出力に変換する非線形出力関数である。引数が正の場合にそのままの、負またはゼロの場合にゼロの出力を出すような関数を、アナログしきい関数という。式(1)、(2)が、神経細胞の動作を記述する基本的なモデルである。

3. デジタル回路による実現

筆者の一人は、式(1)と(2)で表現されたニューラルネットのダイナミクスを実現できるデジタル回路を提案した⁽¹⁾。今回構成したニューロチップは、個々の神経細胞が非同期で動作できるようにした点を除けばすでに提案した回路と基本的に同じであり、複数の神経細胞体回路とそれらの間のシナプス回路を一つのLSIにまとめたものである。

回路の特長は、入出力をパルス密度で表現し、式(1)のダイナミクスを

$$y^*(t+\delta t) = \int_{-\infty}^t [-y^*(t) + \sum x_i(t)w_i] dt / \mu \quad (3)$$

で表される、積分形式で解くことにある。式(1)内のしきい値 θ は、入力の一つと考えて、上式では入力の空間加重の項に含めている。

積分をアップ・ダウンカウンターで、積分値のパルス密度への変換をレート・マルチプライヤーで行っている。カウンター値の絶対値をパルス密度へ変換している。積分の中の負帰還は、カウンター値が正の場合に変換されたパルスをダウン側に、負の場合にアップ側に入力することで実現した。式(2)の非線形変換は、カウンター値が正の場合にのみパルスを外部に出力することで行っている。

Design of a Digital Neuro-Chip

¹Yuzo HIRAI, ²Moritoshi YASUNAGA,
Univ. of Tsukuba, Hitachi, Ltd.,²Mitsuo Ooyama
Hitachi, Ltd.

シナプス荷重をレート・マルチプライヤーによるパルス密度変換で実現している。このシナプス回路で変換されたパルス列は、正のシナプス回路出力をアップ・ダウンカウンターのアップ側に、負のシナプス回路出力をダウン側に入力している。複数のシナプス回路から非同期的に出力されるパルスを、OR回路で空間加重して入力している。したがって、複数のシナプス回路からのパルスが重なり合うと、正確な加重ができないことになる。このような問題を避けるために、各細胞体回路を個別のクロックで駆動する非同期系とすることにした。これにより線形加重が行われる場合より好ましい、非線形空間加重特性を得ることができる。

4. デジタルニューロチップの回路構成

図1にデジタルニューロチップ内の回路構成のブロック図を、図2にチップの外形を示した。一つのチップ内に、興奮性シナプスと抑制性シナプスで相互に完全結合された6個のデジタルニューロンが搭載されている。各細胞体回路からは2本の出力端子が出ており、通常の出力和、2倍のパルス密度の出力の任意の組合せを選択することができる。レート・マルチプライヤーで実現できるシナプス荷重は1以下なので、2倍のパルス密度を用いることで等価的に1以上の荷重を実現できるようにしている。シナプス回路は、フィードバック系の興奮性シナプス回路が36個、抑制性シナプス回路が36個、外部入力を受けるシナプス回路が興奮性と抑制性それぞれ6個、合計84個のシナプス回路が搭載されている。6個の細胞体回路のアップ・ダウンカウンターと84個のシナプス荷重レジスタ、および回路の動作を制御するための制御レジスタの読み書きを、制御用計算機からできるよ

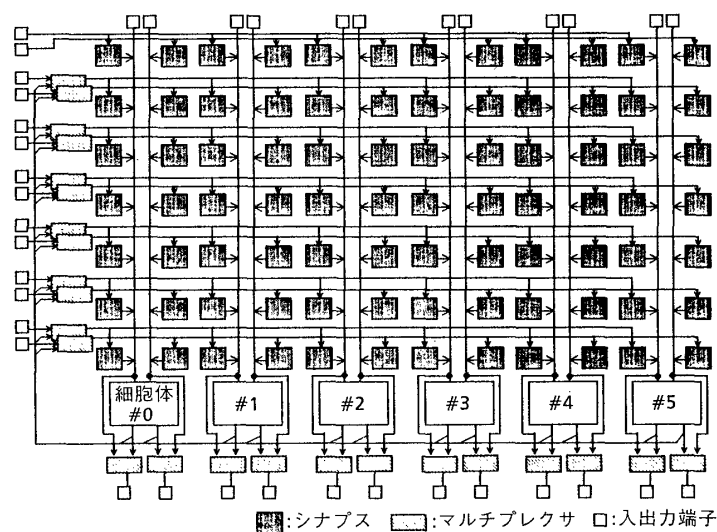


図1 ニューロチップの回路構成

うにするためのインターフェイス回路も搭載されている。

制御レジスタの内容により、全てのシナプス回路を外部入力によって駆動することも可能である。また、樹状突起回路からの入力を、細胞体回路をバイパスして外部に取り出すことも可能である。この出力を別なニューロチップの樹状突起回路に直接入力することによって、一つの細胞体回路に結合しているシナプス回路数を無制限に拡張することができ、大規模なニューラルネットの構築が可能となっている。

5. まとめ

完全デジタル回路によるニューロチップを構成した。一つのチップに搭載できる神経素子数はアナログ方式に比較して少ないが、複数のチップを接続することにより大規模なニューラルネットの柔軟な構成が可能であるという大きな特徴がある。計算機との親和性に優れ、あらゆるタイプの学習・自己組織型ニューラルネットシステムの構成が可能である。

今後、上記のチップの評価を通してニューラルネットの基本的な諸問題の解明を行う。さらに、少素子化、フォールトトレラント化に関する研究を進め、ニューロWSI (Wafer Scale Integration)等の超大規模ニューラルネットワークを実現していく。

謝辞 本研究の機会を作っていただいた筑波大学理工学系鈴木哲郎教授、徳山巍教授、並びに日立製作所中央研究所正木亮主管研究員に感謝する。

参考文献

- (1)鎌田勝浩、平井有三：「デジタル神経回路モデル」電子情報通信学会技術研究報告、MBE87-157、415-422、1988年3月

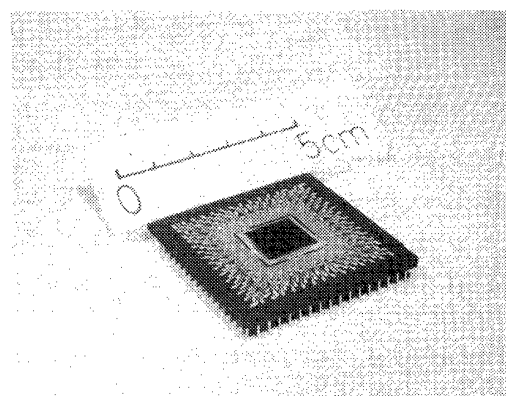


図2 ニューロチップの外形