

2U-1

EWS 4800 シリーズ
- 33MHz 版 EWS の実現 -

渡邊貴志、井戸川厚士、鳥居良春
日本電気㈱

1. はじめに

マイクロプロセッサの動作周波数は年々上昇を続けており、それにともない小型で高いCPUパワーを持ったエンジニア用のワークステーションEWSが開発されている。

このような状況の中で33MHzという市販のプロセッサの中では最も高い動作周波数のCPUを使用し、従来のソフトウェア資産を活かしながら高性能なEWSを開発した。

ここでは、プロセッサの能力を最大限に引き出すための構成方法及び高速動作回路の問題点とその対処方法について紹介する。

2. ハードウェア構成

図1に本EWSのハードウェア構成を示す。メインプロセッサにはモトローラの32bit CPU 68030 33MHz版、浮動小数点コプロセッサに68882 33MHz版を使用している。また浮動小数点演算を更に高速化するためのFPA(Floating Point Accelerator)を付加することができる。

CPUの性能を引き出すためメインメモリ～CPU間に2次キャッシュメモリを配置した。

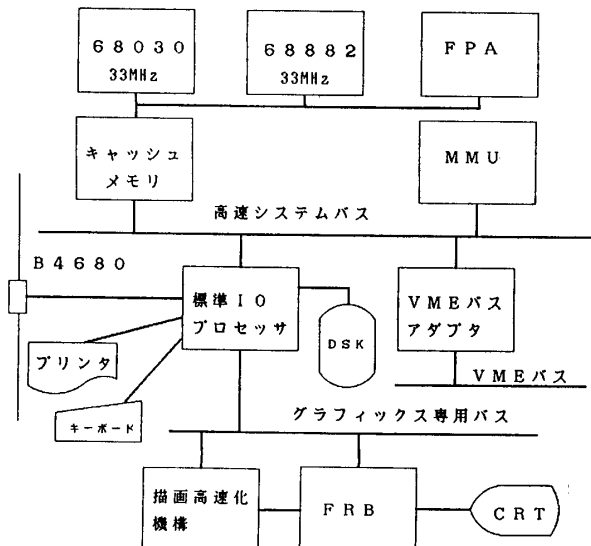


図1. ハードウェア構成

固定ディスク、プリンタ、IEEE802.3準拠LAN B4680、キーボード等の標準I/O及びグラフィックス表示制御を行う標準I/Oプロセッサとして68030を1個使用している。

MMU(Main Memory Unit)は2バンク構成で、16byteのバースト転送をサポートする。実装メモリ容量は最大32Mbyteである。

高速システムバスを通してCPU、標準I/Oプロセッサ、MMU、VMEバスインターフェースアダプタが接続されている。

3. 高速化手法

プロセッサの高速性を引き出すために用いた手法について述べる。

(1) キャッシュメモリ

主記憶に用いられるDRAMのスピードに比べプロセッサのサイクルタイムが速いためEWSに於いても、CPU～MMU間にキャッシュメモリを配置することは一般化している。

今回33MHzという極めて高い周波数で動作しているプロセッサをウエイトなしで動かすために、プロセッサのアドレスからヒット/ミス判定部及びデータバスまでのゲート段数が最小となるような構成をとった。

68030をウエイトなしで動作させた場合のタイミングを図2に示す。この場合応答信号及びデータをそれぞれアドレス確定から1/2サイクル、1サイクル内にプロセッサへ返す必要がある。

33MHz動作時にキャッシュのヒット/ミス判定を1/2サイクル内に行うことは使用素子の面から困難である。そこで、応答信号はMMUのアドレスアクセス時には無条件にCPUへ返し、ヒット/ミス判定はアドレス確定から1サイクル内に行いミスであった場合はリトライ信号をプロセッサに返し、再実行サイクル中にMMUからのデータを読みだす方法を取った。

EWS 4800 SERIES - Realization of 33MHz version EWS -

Takashi WATANABE, Atushi IDOGAWA, Yoshiharu TORII

NEC Corporation

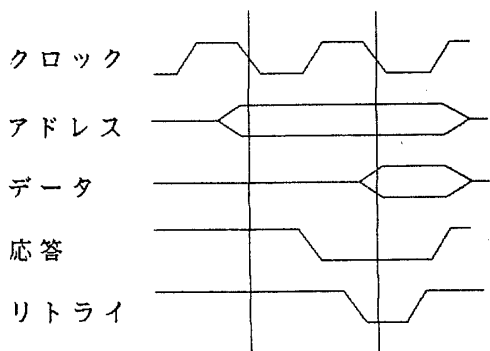


図2. non-wait動作タイミング

キャッシュメモリの基本構成を図3に示す。

データメモリのアドレス入力は接続数が多く負荷が重いためバッファを1段入れたが、他のクリティカルな部分はプロセッサに直接接続している。

メインメモリとキャッシュメモリ間の一意性を保つためにシステムバス監視用のバスモニタを置いた。バスモニタは標準I/OプロセッサやVMEバスからのMMU更新を検出し、キャッシュメモリ内に更新されたデータが存在する場合にキャッシュ内該当データの無効化を行う機能を持つ。これによってソフトウェアトランスバレントなキャッシュを実現している。

(2)TAGメモリの二重化

キャッシュ内にデータが存在するか否かを判定するためのTAGメモリは、CPU参照用とバスモニタ参照用の2組用意し、CPUのキャッシュアクセスがバスモニタによって待たされる頻度を減少させている。

バスモニタによってキャッシュ内に存在するデータの更新が検出された場合CPU参照用TAGメモリのページを行うが、ページアドレスとプロセッサアドレスラインをワイヤードORすることにより、プロセッサアドレス-CPU参照用TAGメモリ間のゲート段数を減らしている。CPU参照用TAGメモリをページする場合はCPUのバス調停機能を利用してバスモニタがCPUバスを獲得しページアドレスをCPU参照用TAGメモリに与える。

(3)ライトバッファ

ライト対象への書き込み動作が終了するまでライトデータとアドレスを保持するためのバッファでプロセッサはこのライトバッファへの書き込みが終了した時点で次のサイクルへと進むことができる。ライト動作と次サイ

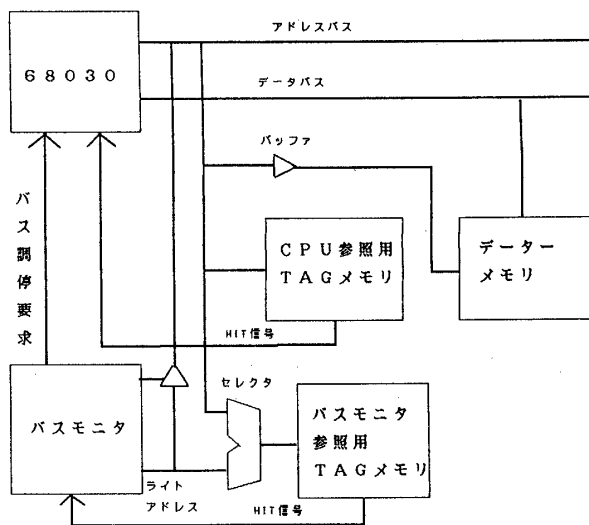


図3. キャッシュメモリ構成

クルをオーバーラップさせることにより高速化が図れる。

ライトバッファは次の2ヶ所で使用している。

- ①CPU->メインメモリ
- ②CPU->FPA

4. 高速動作回路の問題点と対策

(1)素子の誤動作

TTL等のICの誤動作防止のため同時スイッチングタイミングの減少を図った。

(2)反射等のノイズ

高速動作回路の部分の実装、配線分岐に注意した。

(3)クロックスキュー

プロセッサとその周辺高速回路に与えるクロックの分配方法をスキューが最小となるよう注意した。

5. おわりに

以上説明したような手法を用いて、従来機種との2~3倍の性能を持った33MHz版のEWSを開発した。プロセッサの動作周波数は50MHz程度まで上昇するといわれているが、そろそろプロセッサ周辺回路が追いつかなくなっている。今後はプロセッサ周辺高速回路のLSI化と実装技術が課題となる。

参考文献

福田昭、古沢美行：“限界が見えてきたTTLの高速化” NIKKEI ELECTRONICS 1988.9.5(no.455) pp.119-136