

QCDPAXのハードウェア

3T-5

吉田勝也¹ 吉田尊² 内藤潤² 白川友紀² 星野力²

(¹アンリツ(株) ²筑波大学)

【1】はじめに

昨年度、4台のプロセッシングユニット(PU)を備えた並列計算機を作製したが、今回288台のPU、ホスト計算機、グラフィックディスプレイと制御ユニットから構成される高並列計算機 QCDPAXシステムを開発した。

24×12の2次元格子状に配置されたPUアレイとホスト計算機間に制御ユニットを位置づけ、グラフィックディスプレイをここに接続することにより、ホスト計算機とPU間のデータ通信及びPUアレイからグラフィックディスプレイへの出力を高速化している。

【2】全体構造

QCDPAXシステムは VMEバスに接続された制御ユニットを内蔵するホスト計算機(SUN3-260)と24×12=288台のPUアレイそしてグラフィックディスプレイの3つのサブシステムから構成される。

このうちPUアレイは4×4=16台のPUとリピータを電源を備えて1ブロックとし、このブロックを6

×3=18個 環状に配置した構造である。

各PUは、2次元格子接続のための近接通信バス4本を備えているが、このほかにホスト計算機との通信バスを有しており、ホスト計算機側より見るとPUは物理的、電氣的、論理的にも同じように3階層のリピータを節点とするトリー状に、ビット毎の論理和I/Fで接続されており、任意の1台のPU、あるいは任意のブロック、そして複数のブロックのPUと同時にデータ通信を行うことが可能である。

このことは同じプログラム、データをホスト計算機から複数のPUへ送信する際や、あるPUがホスト計算機に対してデータ通信等を要求する際のPUの検索に非常に効果を発揮する。

制御ユニットは288台のPUとホスト計算機及びグラフィックディスプレイを接続するインタフェースであるが、そのほかに各PUの同期の処理、監視、並列処理の終了、中断の検出と、PUで計算されたデータをディスプレイへ出力する機能を有しているため、ホスト計算機はこれらの処理業務から解放されている。

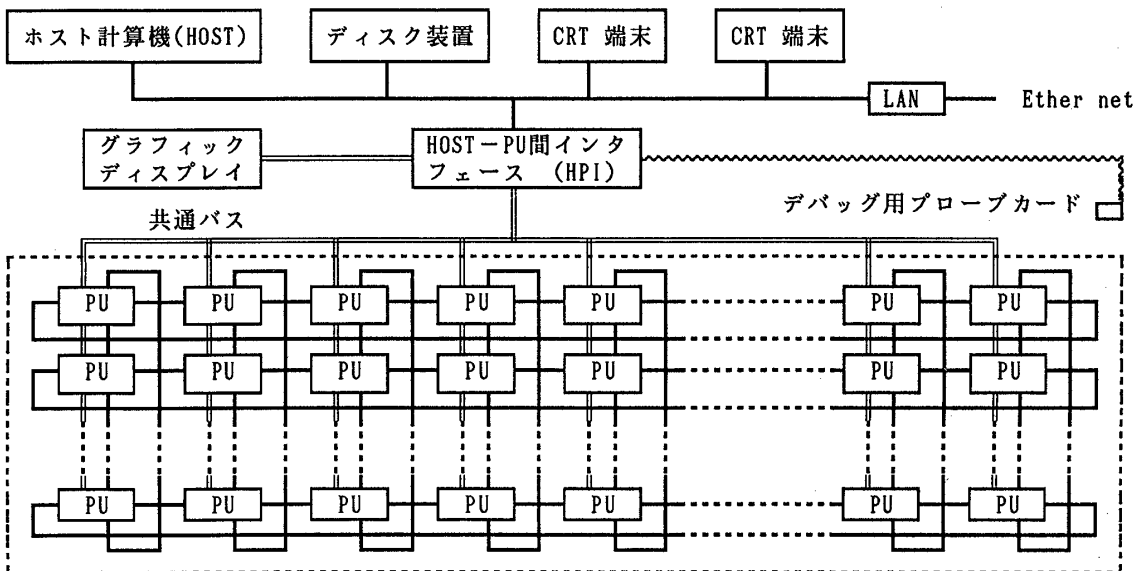


図1. QCDPAXの構成.

Hardware of QCDPAX

Katsuya YOSHIDA¹, Takeshi YOSHIDA², Jun NAITO² Tomonori SHIRAKAWA², Tsutomu HOSHINO²

¹Anritsu Corp., ²Univ. of Tsukuba

【3】PU

PUはそれぞれの1台が高速浮動小数点機構をもったマイクロプロセッサボードであり、その主な機能は以下の通りである。

- CPU (MC68020 25MHz)
- 主メモリ 4MB
- 同期レジスタ
- デュアルポートメモリ (各8KB) と近接通信バス
- デュアルポートメモリ (8KB) と対ホストバス
- タイマ (12.5MHz, 40Bit)
- 浮動小数点演算機構 (16.7MHz)

PUは動作中にはホスト計算機とデュアルポートメモリを介して双方向通信を行うが、動作中でないときには内部バスをすべてホスト計算機に解放することが可能な為プログラムやデータを高速にダウンロード、アップロードすることができる。

【4】浮動小数点演算機構

PU内部の浮動小数点演算機構は、高速に演算を実行するために、専用の高速データメモリ (2MB)、FPU、FPUコントローラ、マイクロプログラムメ

モリ (8KB)、初期値テーブル (1KB) で構成されており関数演算、ベクトル演算、スカラ演算を実行する。

FPUはL64133を使用しており、60nsで乗算と加算を同時に実行する。

FPUコントローラはこれらを制御するためのLSIで、スカラ演算命令制御部、データ転送制御部とベクトル演算を制御するマイクロシーケンサ、マイクロプログラム制御部、アドレスレジスタファイル、アドレス計算部、終了判定部等により構成されている。

またこの浮動小数点演算機構は、ベクトル演算中はPUのCPUバスと切り放されて動作するため、浮動小数点形式のベクトル演算とCPUにおける整数演算、あるいはその他の通信業務等とは並列に実行可能である。

【5】おわりに

今後PUを480台へ増設しさらに高性能、高並列なQC DP AXシステムとする予定である。本研究は科研費特別推進研究(62060001)による

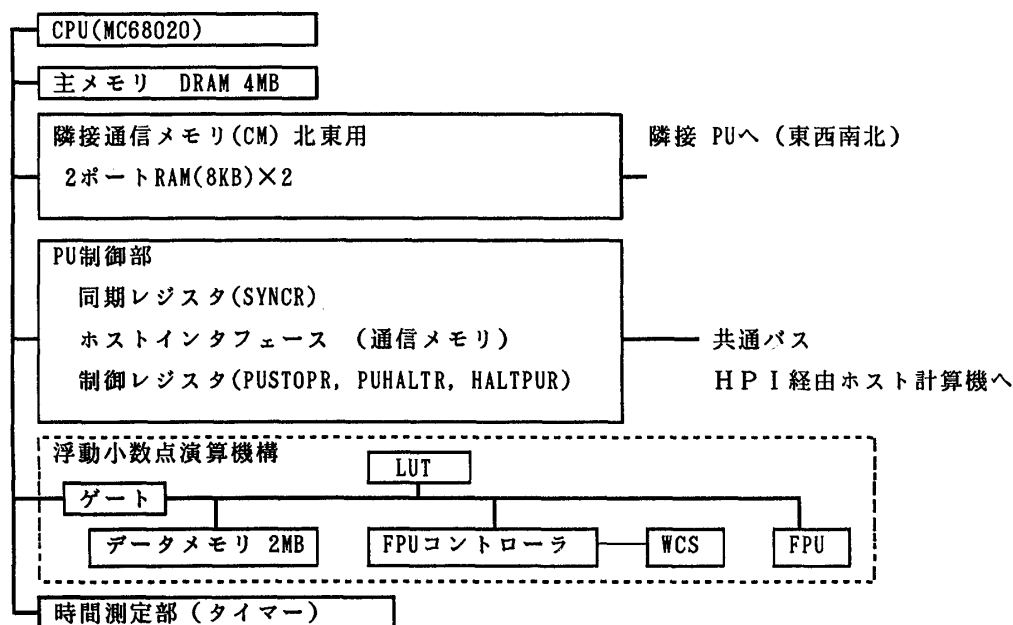


図2. PUの構成

【参考文献】

- [1] 第36回本大会7C-2~7