

可変構造型並列計算機のプロセッサ・ユニット

3T-1

濱口一正 村上和彰 福田晃 末吉敏則 富田眞治
(九州大学)

1. はじめに

現在、『可変構造型並列計算機』と呼ぶマルチプロセッサ・システムを開発中である。本システムは、128台のプロセッシング・エレメント (PE) を、128×128の多重化クロスバー網MC-net (Multiplexed Crossbar network) を用いて相互接続したもので、『汎用/多目的』の並列処理環境の構築を目指したものである。^[1]

本稿では、可変構造型並列計算機のPEアーキテクチャについて述べた後、そのプロセッサ・ユニットの構成について述べる。

2. プロセッシング・エレメントのアーキテクチャ

本システムのPEは、図1に示すように、プロセッサ・ユニット (PU)、メッセージ通信ユニット (MCU)、及びメモリ・ユニット (MU) を、PUバス及びGP (General Purpose) バスの2本のバスで接続した構成をとっている。クロック周波数は、全ユニット共通で16.7MHzである。

(1) プロセッサ・ユニット (PU)

PUは、SPARCチップセット (MB86900: 整数演算ユニット, MB86910: 浮動小数点演算コントローラ, WTL1164/65: 浮動小数点演算器) を中心に、メモリ管理ユニット (MMU)、TLB、及びキャッシュ・メモリ等から成る。

(2) メッセージ通信ユニット (MCU)

MCUは、他PEとの通信を行うユニットである。メッセージ・センダ (MS) 及びメッセージ・レシーバ (MR) から成る。

(3) メモリ・ユニット (MU)

MUは、4MBのDRAMとSAS (Shared-memory-window (SMW) Access Server) から成る。SASには、他PEからの共

有メモリ・アクセス (SMWアクセス) をサービスする機能、及びマルチキャッシュ・コンシステンシを保つための機能がある。

(4) PUバス

PUが占有するデータ幅32-bitのバスである。PUは、通常のメモリ・アクセス時にこのバスを用いて、自PEのMU、あるいはMC-netを介して他PEのMUに対してアクセスを行う。

(5) GPバス

PU, MCU, 及びSASによって共有されるデータ幅32-bitのバスである。PUは、制御空間及びI/O空間へのアクセス時のみにこのバスを用いる。

3. プロセッサ・ユニットの構成

本システムは、プロセッサに高速RISCマイクロプロセッサSPARC (マシン・サイクル60ns) を採用している。このSPARCの高速性を十分活かすためには、zero-waitで命令及びデータを供給する必要がある。このため各PUに、高速・大容量のキャッシュ・メモリ及びTLBを備える。

3.1 キャッシュメモリ

(1) 要件

SPARCはMMUを内蔵しておらず、仮想アドレスを下位18-bit, 上位14-bitの順で出力する。SPARCに対する命令及びデータのzero-wait供給を可能とするには、先に出力される下位の18-bitでキャッシュのアクセスを行う必要がある。

この条件で実アドレス・キャッシュの採用を考えた場合、その容量はページ・サイズ×連想度ということになる。連想度を増すとそれに比例してハードウェア量が増大し、またページ・サイズを増すと内部フラグメンテーション等の問題が生じる。すなわち、実アドレス・キャッシュでは容易に十分なキャッシュ容量を得ることができない。このような理由から、本システムでは、仮想アドレス・キャッシュを採用した。

しかし、本システムの持つテストベッドとしての性格、わずかなハードウェアの付加で実現できること、及び実アドレス・キャッシュには後述する仮想アドレス・キャッシュ特有の問題が生じないこと等の理由から、小容量ながら実アドレス・キャッシュとしても動作可能なように設計を施している。

(2) 仕様

本システムのキャッシュ・メモリは、ライン・サイズ32B, セット数1024, 連想度2 (2ウェイ・セットアソシアティブ方式), 容量64kBの仮想アドレス・キャッシュである。主記憶の更新アルゴリズムは、ストアスルー方式を採用している。

なお、実アドレス・キャッシュとして動作する場合は、ライ

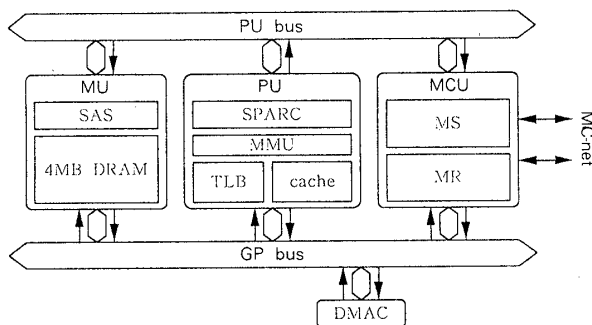


図1. プロセッシング・エレメント (PE) の構成

Processor Unit of the Reconfigurable Parallel-Processor

Kazumasa HAMAGUCHI, Kazuaki MURAKAMI, Akira FUKUDA, Toshinori SUEYOSHI, and Shinji TOMITA
Kyushu University

ン・サイズ32B, セット数128, 連想度2 (2ウェイ・セットアソシティブ方式), 容量8kBとなる。

図2にキャッシュ・メモリの構成を示す。

(3) ライン・フェッチ方式

本システムの相互結合網 MC-net は, 要求に基づき回線を設定するモード (デマンド・モード), 及び接続パターンをあらかじめ設定しておき, 時分割で接続パターンを切り替えて動作するモード (プリセット・モード) の両モードをサポートしている。プリセット・モードで動作時は, ライン・フェッチの途中で接続パターンが切り替わる可能性があり, SPARCが要求し, ミスヒットの原因となった肝心のデータが届かないといったことが起こり得る。

本システムのキャッシュには, ライン中のデータ 8B 単位でその存在を示す 4-bit の存在ビットが設けてある。プリセット・モードで動作時は, 存在ビットの各々に対応する 8B をトランスファ・ブロックとみなし, SPARCが要求したデータが属するトランスファ・ブロックからラインの終わりまでをフェッチの対象とする。デマンド・モードで動作時は, ライン全体をフェッチの対象とする。

このような方式を採用したこと, 及び後述するシノニム問題やマルチキャッシュ・コンシステンシ問題への対応を図ったことで, 部分的にデータが存在しないラインが生ずることとなった。そのような場合には, 不在のトランスファ・ブロックのみを対象として, ライン・フェッチを行う。

(4) 仮想アドレス・キャッシュの問題点とその対策

①多重仮想空間のサポート

仮想アドレス・キャッシュによる多重仮想空間のサポート方法には, 次の2つがある。

- ・ 仮想空間スイッチ時にキャッシュをフラッシュする。
- ・ 空間IDによって, 仮想空間を識別可能とする。

本システムでは, 8-bit の空間IDをタグに含め, 仮想空間を256まで識別可能としている。この空間IDの管理はOSが行っており, もし仮想空間の数が256を超える場合には, OSがキャッシュ・フラッシュの指示を行う。

②シノニム問題への対応

複数の仮想空間に対応するラインが同時に存在し得るため, シノニムを発生させないための対策が必要である。

このシノニム問題及び後述するマルチキャッシュ・コンシステンシ問題を同時に解決するために, 逆変換バッファ RTB (Reverse Translation Buffer) を備える。RTBは, キャッシ

ュのタグアレイと同一の構成 (1024セット×2ウェイ) をとっており, 実アドレスタグ, 及び対応するラインへのポインタをエントリとして持つ。

ラインをフェッチする場合, あるいはデータのストア時にアクセス対象のラインがキャッシュ中に存在しない場合, そのラインあるいはデータの実アドレスでRTBを検索する。RTBがヒットした場合, つまり同一実アドレスに対応するラインが既に存在していた場合は, そのラインを無効化, あるいは当該データの属するトランスファ・ブロックに対応する存在ビットをリセットする。

(5) マルチキャッシュ・コンシステンシ問題の対策

複数キャッシュ間のコンシステンシを保つために, 1ラインは一時的には1キャッシュにのみ存在するようにキャッシング権の管理を行う。キャッシング権を持たないPEからのSMWアクセスがあった場合, SASは当該ラインのキャッシング権を持つPEに対してページ・メッセージを送出する。^[2] ページ・メッセージは, 無効化すべきライン (readアクセス時) あるいはデータ (writeアクセス時) の実アドレスを含む。ページ・メッセージを受け取ったPEのMMUは, その実アドレスを用いてRTBを検索し, RTBがヒットした場合は, 対応するラインを無効化, あるいは当該データの属するトランスファ・ブロックに対応する存在ビットをリセットする。

3.2 TLB

TLBは, キャッシュが仮想アドレス・キャッシュとして動作するときはエントリ数2048, 実アドレス・キャッシュとして動作するときはエントリ数64となる。実アドレス・キャッシュとして動作するときの時間的制約から, 連想度は1 (ダイレクトマッピング方式) としている。TLBもキャッシュと同様に, 空間IDによって, 多重仮想空間のサポートを行っている。

4. おわりに

以上, 本システムのプロセッサ・ユニットの構成について述べた。本システムは, 1989年末の完成を予定している。

参考文献

[1] 村上ほか: “可変構造型並列計算機のシステム・アーキテクチャ”, 情報処理学会「コンピュータアーキテクチャ」シンポジウム論文集, Vol.88, No.3, pp.165-174 (1988年5月)
 [2] 蒲池ほか: “可変構造型並列計算機のメモリ・アーキテクチャ”, 本大会論文集 (1989年3月)

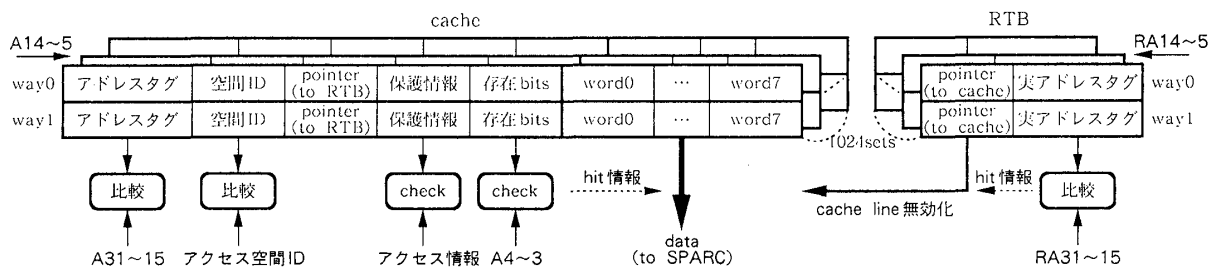


図2. キャッシュ・メモリの構成