

# VLSI レイアウト検証システム

## 7S-1

鈴木勝喜

長尾葉介

竹内久博

堅田敏幸

郡川幸治

(株)日立製作所

日立ソフトウェアエンジニアリング(株)

### 1. はじめに

近年電子機器の小形化、高信頼性化、低価格化を実現するためLSI化の要求が急増している。これまで種々のDA技術の開発により短期間に多品種のLSI設計が可能となってきた。一方、LSIの多様化、大規模化、多層化に伴いそのレイアウトルールは複雑化してきている。LSIは製造段階で不良が発見されると設計工程からやり直さなければならず製造コストの増大、開発期間の長期化を招く。このため製造前にレイアウト不良を摘出する信頼性の高いレイアウト検証が不可欠である。

今回、複雑化するレイアウトルールに柔軟に対処できるレイアウト検証システムを開発したので報告する。

### 2. レイアウト検証システム機能概要

レイアウト検証システムは、自動配線システムによって作成された配線パターン及び、人手によって追加修正された配線パターンについて(1)論理記述との照合による論理がレイアウト上で正しく実現されている事の検証、(2)レイアウトルールとの照合による物理的制約が守られている事の検証を行うシステムである。

論理記述との照合検証は信号単位(図1)で行い、レイアウトルールとの照合検証は領域単位(図2)で行う。

### 3. レイアウト検証システム処理方式の検討

#### (1) 階層展開処理

VLSI設計では大規模化に対処するため図3に示すような階層設計を行っている。論理設計はトップダウン的に論理分割して、実装設計では逆に下位階層から順に詳細レイアウト設計を行うボトムアップ方式で設計を行う。

ピン接続過不足検証

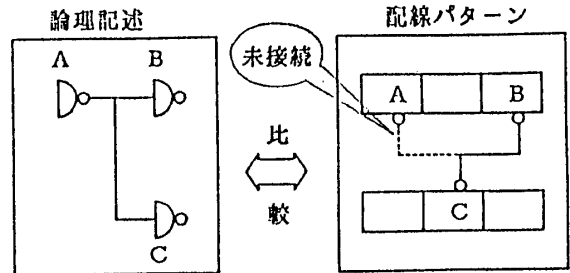


図1. 信号単位検証

隣接スルーホールの検証

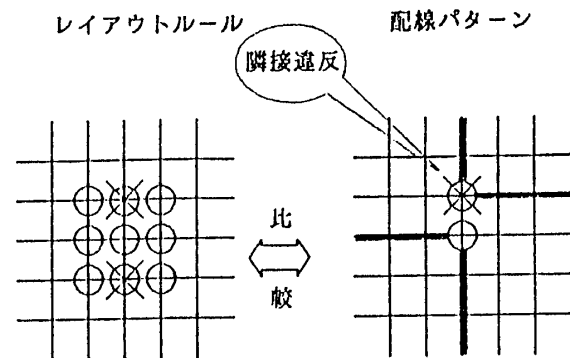


図2. 領域単位検証

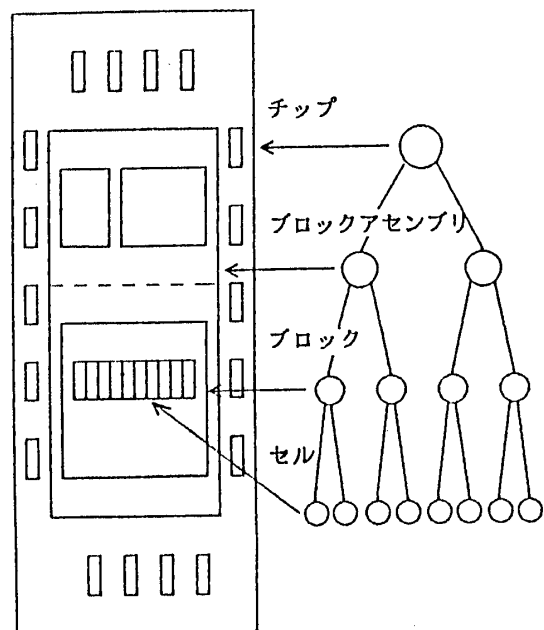


図3. VLSI階層設計の概要

VLSI Layout verification System

† Katsuyoshi Suzuki, † Yousuke Nagao,

† Hisahiro Takeuti, † Toshiyuki Katada

‡ Kouji Kourikawa † HITACHI Ltd.

‡ HITACHI SOFTWARE ENGINEERING CO.,Ltd.

このように階層設計されたファイルのレイアウト検証を行う場合、上位階層の検証時には下位階層の配線状態等を考慮しながら検証する必要がある。この手段としては大きく二つの方法が考えられる。一つは上位階層で矛盾が生じた場合、その都度下位階層を展開して矛盾が無いことを確認する方法で、もう一つはファイル入力時に全階層の情報を読み込み一階層のファイルとして検証処理を実施する方法である。前者は従来採用していた方法であるが、検証処理と階層展開処理を同一フェーズで実施するため、処理が複雑化していた。また同一下位階層を何度も展開するため大規模化に対する処理効率が低下する問題があった。後者は階層間の信号を一つに集約し、かつ全階層の情報を一つに蓄積する必要がありメモリ増大という問題があったが検証処理と階層展開処理を独立したフェーズに切り分ける事により処理を単純化でき、信頼性、保守性を向上することができ、また検証処理を一つのフェーズとした事により、パイボラ等の比較的規模の小さい一階層で設計されたLSIのレイアウト検証にも適用でき、階層の有無を意識する必要がなくなった。

## (2) 適用規模増大の考慮

レイアウト検証システムの主な検証項目を表1に示す。レイアウト検証は先に述べた通り信号名単位に行う処理と、領域単位に行う処理の二つの検証方法がある。検証項目をどちらの方法にあてはめて検証するかによって、規模増大への影響が大きく違ってくる。例えば、配線パターンのショートチェックを例に上げると、信号をキーに検証する方法として全ての信号配線情報をテーブルに登録して、総当りで短絡の有無を検証する方法がある。この方法は扱う規模に比例してテーブル容量が増大するという問題点がある。このチェックを領域単位で行った場合、チェック領域内の情報をビットマップ化してチェックすることにより、規模が増大しても分割する領域数が増加するだけでシステムの必要メモリ量には影響しない。ビットマップチェックとは図4に示すようにメッシュテーブルに検証領域の配線パターン情報を登録しながら既に登録された情報との比較を行い違反を検出する方法である。このように表1の検証項目をどちらの処理フェーズで行うかによって適用規模増大へのエンハンス難度が決定される。この時注意しなければならないことは、処理時間を前提とした検証方法の選択である。一般的には領域単位検証は信号単位検証に比べて処理時間が多く必要であるという点である。従って領域単位検証が可能だからといって安易に領域単位検証で行くと処理時間が増大するので注意する必要がある。以上の点を考慮して検証項目の選択を検討した結果、表1の様な検証フェーズ分けを行った。

表1. 検証項目機能分担

NO.	検証項目	処理フェーズ	
		信号単位検証	領域単位検証
1	信号名過不足	○	
2	ピン使用過不足	○	
3	カットネット	○	
4	ループネット	○	
5	パターンエンド	○	
6	スループホールエンド	○	
7	パターンオーバーラップ	○	
8	スループホールオーバーラップ	○	
9	ショート		○
10	領域外配線		○
11	禁止領域配線		○
12	チャンネル格子座標		○
13	配線層の組合せ		○
14	パターン隣接制約		○
15	スループホール隣接制約		○

メッシュテーブル領域単位検証

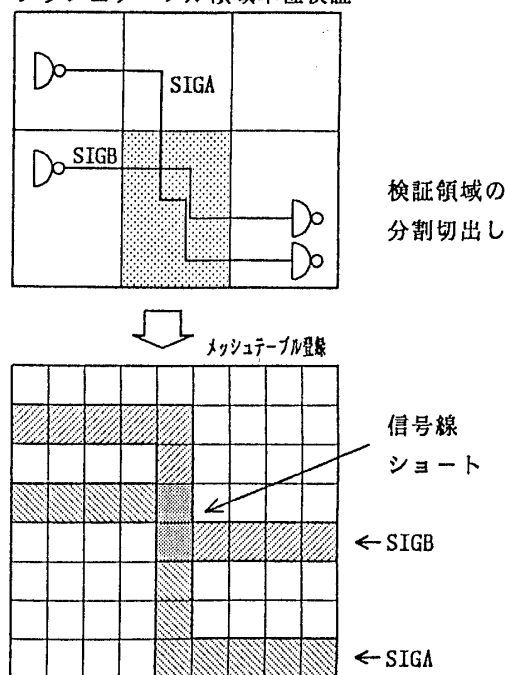


図3. ビットマップチェック

## 4. おわりに

従来のレイアウト検証システムの処理方式を改良し、信頼性、保守性の向上及び使い易さの向上をはかったVLSIレイアウト検証システムを開発した。現在VLSIのレイアウト検証をはじめ、BIP系のLSIへも適用中である。