

I²L 素子自動配置配線プログラム 6S-6 APRIL - 全体概要 -

築添 明† 木村宏一†* 木村光行† 福田雅則†† 杉田 晋†† 日野哲朗††
† 日立製作所 中央研究所 (*現在、ICOT) †† 日立製作所 高崎工場

1. はじめに

カメラ、VTR等の民生用LSIの大規模化、低消費電力化、および多機能化に伴い、アナログ回路とデジタル回路が混在するアナログ・デジタル混在LSI(以下では、A/D LSIと呼ぶ)の設計が急増し、レイアウト設計自動化のニーズが高まっている。そのため、A/D LSIのレイアウト設計工数の大幅な削減を狙って、高集積・低消費電力を特徴とするI²L(Integrated Injection Logic)素子を用いたデジタル部(以下では、I²L部と呼ぶ)の自動レイアウト化を図った。プログラムはAPRIL(Automatic Placement and Routing program for I²L)と名付けた。

本稿では、A/D LSIレイアウトの階層設計方式、APRILのレイアウトモデル、および試行結果について述べる。

2. 階層設計方式

A/D LSIは、図1に示すように、チップの中央部にI²L素子を用いてデジタル回路を構成するI²L部を、チップの周辺にバイポーラ・トランジスタ、抵抗等を用いてアナログ回路を構成するリニア部を、レイアウトする。

レイアウト方式は、チップ、ブロック、セルの階層設計方式を適用する。リニアブロックは人手でレイアウトし、I²LブロックはAPRILで自動レイアウトする。チップ全体は、ブロックの

配置をフロアプランで決めた後、ブロック間配線プログラムによりレイアウト設計を完了する。

3. I²Lブロックのレイアウトモデル

APRILは、図2に示すレイアウトモデルでブロック内の自動配置配線を行う^{1),2)}。

(1) 配置

セルを列状に並べ、2セル列ずつを一組にしてAL1層のINJ(インジェクタ; 給電線)を挟んで背中合せに背面結合させる。最下セル列の下、INJのない隣接セル列の間、および最上セル列の上にはAL1層のGND(グラウンド; 接地線)を水平方向に置く。

(2) 配線

水平方向はAL1層で、垂直方向はAL2層で配線する。水平方向のINJ同志およびGND同志は、それぞれAL2またはAL3層で垂直方向に結線し、これをブリッジ配線と呼ぶ。

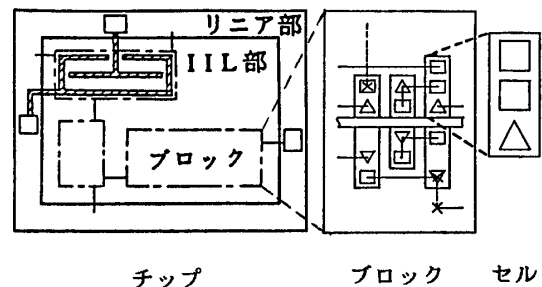


図1 レイアウト設計の階層構造

Summary of Automatic Placement and Routing Program for I²L

Akira TSUKIZOE†, Kouichi KIMURA† (*Currently ICOT), Mitsuyuki KIMURA†, Masanori FUKUDA††, Susumu SUGITA††, Tetsuro HINO††

† Central Research Laboratory, Hitachi Ltd., †† Takasaki Works, Hitachi Ltd.

(3)セル

配置配線対象のセルは、インバータセルと複合セルである。

①インバータセル：インバータ素子に対応する。1個のベース端子(△印)と1～4個のコレクタ端子(□印)が縦一列に並ぶ。端子の並び順は自由で、端子の存在しない個所はAL1層配線が水平方向に通過できる。

②複合セル：フリップフロップ(F/F)等の論理素子に対応する。セル内パターンはインバータセルを横一列に並べてAL1およびAL2層を使って人手設計され、セル間配線のためのAL1層配線通過可能個所は殆ど存在しない。

4. 試行結果

人手設計されたA/D LSIから抽出したブロックに対するAPRILの性能評価結果を表1に示す。ここで、ゲート数はインバータ素子の個数である。ブロック面積は、ほぼ人手並みとなった。図3に出力パターン例を示す。

[参考文献]

- 1)木村光行、他：配置手法；本大会予稿。
- 2)木村宏一、他：配線手法；本大会予稿。

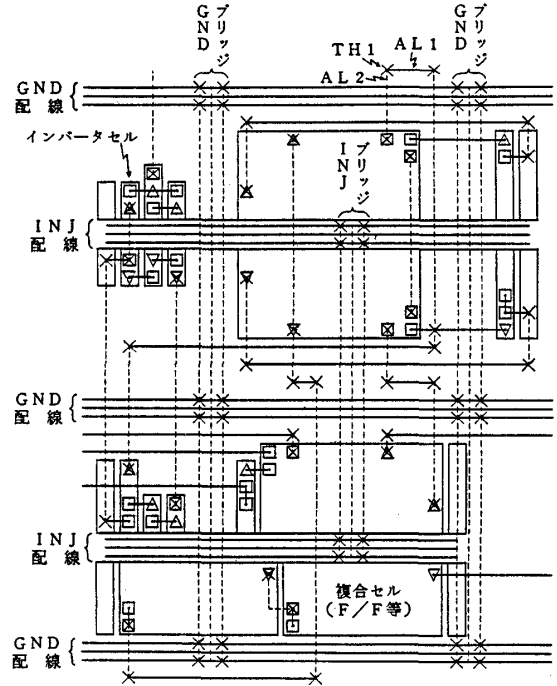


図2 レイアウトモデル

表1 APRIL性能評価結果

ブロック名	A	B	C
ゲート数	291	721	1785
セル数	143	297	355
ブロック面積 (μm)	人手設計	1284 × 928	2428 × 1240
	自動設計	1428 × 700	1834 × 1500
	対人手	84%	91%
		1966 × 2744	2366 × 2460

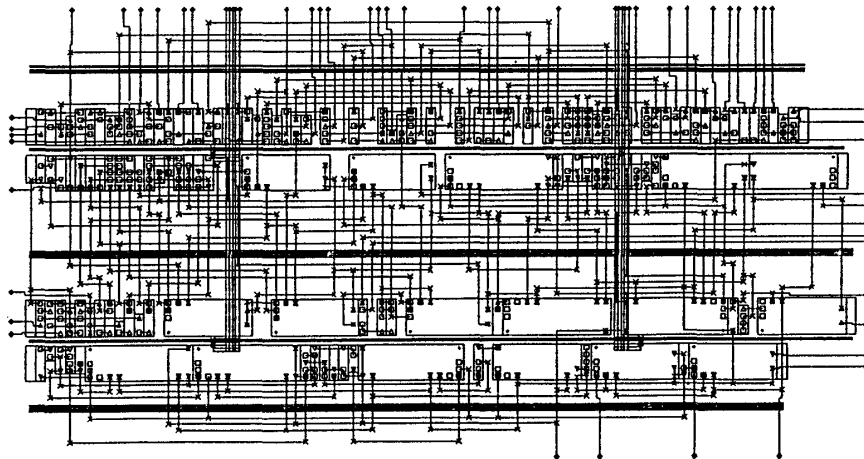


図3 APRIL出力パターンの例