

5S-5

パイプライン制御計算機の 制御論理生成方式

黒田 理香子 清水 嗣雄 宮本 俊介
日立製作所 中央研究所

1. 緒言

近年、大型計算機、VLSIやマイクロプロセッサ等の設計において、その高性能化を図るためパイプライン制御方式の設計が広く採用されるようになってきた。これを受けて、論理自動生成の研究においてもパイプライン制御計算機のデータ系論理をアルゴリズムレベルの動作記述から自動生成する方式が提案されている¹⁾²⁾。

本報告ではRT(Register Transfer)レベルの論理仕様記述に基づいて、パイプライン制御特有の並列データ転送を制御する論理の生成方式について述べる。

2. パイプライン制御論理の特徴

パイプライン制御方式とは、ある一連のデータ処理動作をいくつかのステージに分割し、各ステージを並列に実行することで処理性能を向上する方式である。このためパイプライン制御方式では、データの並列転送を制御するための制御論理が非常に複雑になっている。とくにデータ転送の制御論理を設計する上ではリソース競合の発生を考慮する必要がある。

リソース競合とは、並列転送されるデータがデータ待ち要因の発生地点やデータの合流点で衝突する現象のことである。図1のタイムチャートとブロック図にリソース競合が発生する様子を示す。

- ・レジスタBでデータD1がメモリ参照のための時間待ちをしている間に、後続するデータD2がレジスタAからレジスタBに転送できる状態になった場合に、レジスタBにおいて競合が発生する。
- ・メモリから読み出したデータと並列にレジスタCにデータD3が存在する場合に、転送先のレジスタDにおいて競合が発生する。

限られたデータ系リソースにおいてスループットを最大とするために、こうしたリソース競合が発生する設計となる場合が多い。

リソース競合が発生する場合には、データの衝突によりデータが失われることを防ぐ制御が必要である。例えばレジスタBでのD1の処理が終了するまでD2

をレジスタAで保持するための制御である。これをデータ保持制御という。本報告で述べる生成方式は、このようなデータの並列転送を制御するための、データ保持制御論理の自動生成を目的としている。

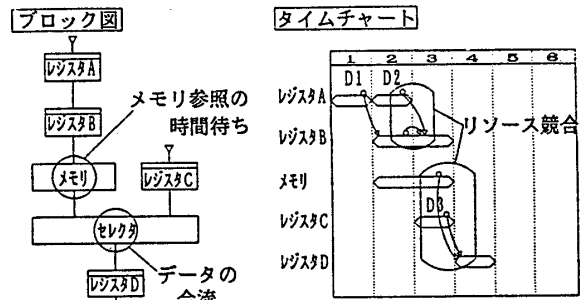


図1 パイプライン制御計算機の設計上の問題点

3. 制御論理生成方式

本制御論理生成方式は論理自動生成システム³⁾⁴⁾の一部として実現した。

論理自動生成システムは高位論理記述言語B²D¹L(Block-diagram and Behavior oriented Description Language)によるRTレベルの論理仕様記述を入力とし、ブール式レベルの論理記述を出力する。B²D¹Lはパイプライン制御方式のハードウェア動作を容易に記述することを目的に開発した論理記述言語である。

3.1 論理動作記述関数

上述したようなリソース競合に対するデータ保持制御論理を生成するには、リソース競合が発生する条件や発生した場合の論理動作をなんらかの形で記述する必要がある。

論理設計者がデータ保持論理を設計する場合には、図2に示すようにレジスタのデータ保持状態、データ保持条件、セレクタのセレクト条件を考慮しながら設計を進めている。そこでリソース競合が発生した場合の論理動作を簡単に記述するために、新たにレジスタのデータ保持条件を明記するための関数HOLD_FOR、HOLD_UNTILと、レジスタのデータ保持状態を示す関数BUSYを導入した。セレクタのセレクト条件については

IF-THEN文で容易に記述できる。

関数の使用例を図3に示す。レジスタREGA、REGBに対し関数BUSYを利用したことにより、ビジー信号の論理やレジスタREGAの転送動作条件が簡単に記述可能である。

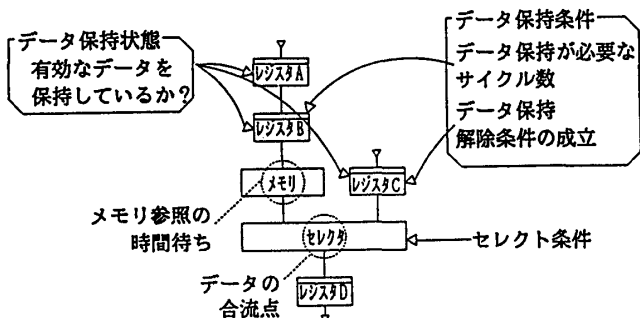


図2 制御論理生成に必要な情報

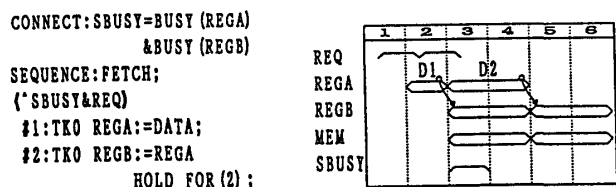


図3 B²D L記述例

3.2 制御論理生成アルゴリズム

データ転送制御論理を生成する際の基本要素として、論理テンプレートを用いる。論理テンプレートは論理回路中に頻出する論理から定形の構造を持った部分を抽出し、ライブラリに登録したものである。データ転送制御論理に関する論理テンプレートは次の4種がある。

- 1) REG-SET:レジスタのセット論理。
- 2) REQ-BIT:レジスタのビジー状態を示す論理。
- 3) ATTRIBUTE:レジスタのデータ保持時間カウンタ。
- 4) HOLD:レジスタのデータ保持解除条件成立を示す論理。

データ転送制御論理を生成するアルゴリズムは2つの主要処理からなる。処理の概要を図4に示す。

1) 制御構造生成

B²D Lで記述されたデータ系レジスタの各々に対し、必要な論理テンプレートを割り当て、制御論理の構造を作成する。論理テンプレートはデータ系レジスタの各々に、論理動作記述関数が記述されているか否かで割り当ての要否を判定する。この段階では制御論理の入力は未定義であり、論理の構造のみを決定する。

2) 結線情報生成

割り当てられた論理テンプレートに対しそれぞれのテンプレートの入力信号を収集し、テンプレート間の

結線情報を決定する。例えば転送動作の発生する条件、論理テンプレートの論理の一部などの信号が収集され、制御論理間の結線関係が定まる。

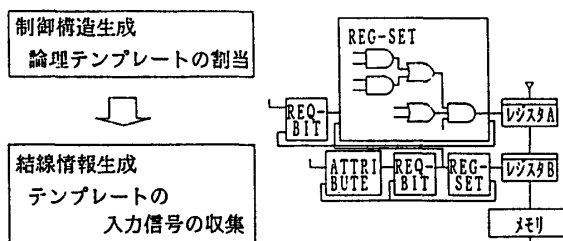


図4 制御論理生成アルゴリズムの概要

4. 評価

汎用大型計算機の記憶制御論理の一部、約1.3kゲート相当を対象として本制御論理生成方式の評価を行った。その結果論理記述行数ではブール式レベルの論理記述に比べ約12%以下で記述することができた。また、自動生成されるゲート数は人手設計の10%増であった。

5. 結論

パイプライン制御計算機のデータ転送に関する制御論理の生成方式について述べた。

- 1) データ転送の動作仕様を簡潔に記述するために、3種の関数(HOLD_FOR, HOLD_UNTIL, BUSY)を導入した。
- 2) 前記関数を利用した制御論理生成アルゴリズムを提案した。生成の基本要素として論理テンプレートを用いた。制御構造生成、結線情報生成の2つの処理により制御論理の生成が可能である。
- 3) 汎用大型計算機の論理回路の一部を対象とした実験の結果、記述量はブール式レベル論理記述量の約12%、ゲート数比は人手比1.1倍となった。

参考文献

- 1) N.Park et al., 'Theory of Clocking for Maximum Execution Overlap of High-Speed Digital System', IEEE Transaction on Computers, vol.37, no.6, 1988.
- 2) G.De.Micheli, 'HERCULES-A System for High-Level Synthesis', In Proceeding of the 25th DAC, 1988, pp483-488.
- 3) T.Shimizu et al., 'A Control Logic Synthesis and Optimization Algorithm with an Overlap Degree Vector', In Proceeding of ICCAD'87, pp124-129
- 4) 影山, 清水, 宮本' 多段論理最適化方式の検討, 情処38全大(1989)