

## 5S-4

## 自動論理合成システムにおける部分回路切り出し機能

大竹 松美, 黒澤 雄一, 西尾 誠一

( 東芝 総合研究所 )

1. はじめに

VLSIのような大規模デジタルシステムの機能及び論理設計レベルからの設計効率の向上を目的として、我々はレジスタ転送レベルのハードウェア設計言語H<sup>2</sup>DLから論理回路を自動生成する自動論理合成システムを開発してきた。このようなシステムを利用して高品質の論理回路を設計するためには、回路の一部分をPLA化する等の設計者の要求に柔軟に対応する必要がある。一般にPLA化部分の決定は、レジスタ転送レベルの記述の段階では困難であるため、設計者が論理合成の過程で適宜回路を評価し、試行錯誤を行うことが望ましい。ここでは設計者の要求に柔軟に対応できる回路設計手法を実現するための基本ツールとなる部分回路の切り出し機能について述べる。

2. 回路切り出し機能の目的

部分回路切り出し機能は、自動生成された論理回路の一部を設計者の意図通りに自由自在に切り出し、切り出した部分回路を残りの回路に対しサブモジュール化または別モジュール化するものである。本機能の目的は以下の通りである。

- ① PLA設計部分の抽出 : PLA化したい部分回路を切り出す。切り出した部分回路はブール式に変換してPLA合成ツールと接続することにより、PLA化することが可能となる。
- ② タイミング最適化処理部分の抽出 : タイミング解析により発見したタイミング制約を満たさないパスを含む部分回路を切り出す。タイミングの最適化処理の対象範囲を切り出した部分回路のみに限定し、最適化処理の効率化を計る。
- ③ フロア・プラン用ブロックの抽出 : フロア・プランを用いたレイアウト設計においてブロック化したい部分回路を切り出す。これにより、チップ面積、配線長の削減を計る。また、レジスタ部分のみを別ブロック化する

ることにより、クロック信号のばらつきを押さえ、クロックスキューを小さくすることもできる。

- ④ 回路図面部分表示 : 論理合成された回路の一部分を切り出して図面出力する。これにより、設計者はレジスタ間の組合せ論理等の着目したい部分のみの図面見ることが可能となる。

3. 回路切り出し機能の概要

本機能が対象とする論理回路は、自動論理合成システムによって生成される初期回路から最終出力結果であるテクノロジーに依存した素子割り付け後の回路までの任意レベルの回路である。切り出しは下記の①～③の指定を用いて行われる。

## &lt; 切り出し範囲の指定 &gt;

本機能により切り出される部分回路の範囲に、次の3種類がある。

- ① 素子指定 : 切り出したい素子を指定することにより、指定素子のみからなる部分回路を切り出す。
- ② 段数指定 : 指定した素子から入力方向または出力方向への指定段数分の部分回路を切り出す。
- ③ 両端指定 : 指定した素子から指定した素子までの部分回路を切り出す。

なお、上記の①～③を任意に組合せて切り出すことも可能であり、この場合最終的に切り出される部分回路の範囲は、各指定での切り出し範囲の和集合となる。また、素子の指定では、例えばレジスタ等の素子タイプを指定することも可能であり、この場合、回路中の全てのレジスタを指定したことになる。

4. 主なアルゴリズム

本機能においては、まず指定された素子を回路中から探し出し、次に素子の接続情報に基づいて論理回路をトレースして切り出し対象となる部分回路を抽出してゆく。ここで特に③の両端指定を行った場合に、レジスタへのフィード・バック信号も含めた最適化処理等を可能とするためには、ある素子から発した信号が再びその素子の入力となる

パス（ループ）も切り出し範囲に含めた方が望ましい。このため、本機能では始点から終点まで一筆書きで書くことのできる全ての経路上にある素子を切り出し対象とするようにしている。以下に図を用いて両端指定の場合における切り出し対象回路の抽出アルゴリズムについて述べる。

回路データのトレース方法は始点Sから出力方向（矢印の方向）に深さ優先で辿るものとし、トレースしながら経路上にある素子（E1, E2等）を記憶していく。また、各素子には切り出し対象として抽出されるか否かを示すためのフラグを設ける。フラグには初期状態I、トレース済T、不明？、切り出しYそして非切り出しNの5つの状態があり、優先順位を $Y > ? > N > T > I$ と定めている。

ここで $E1 \rightarrow E2 \rightarrow E3 \rightarrow E8 \rightarrow E7 \rightarrow E6 \rightarrow E1$ とトレースしたとすると、記憶している素子と同一の素子（E1）が再び経路上に現れる。このことからこの経路はループLをなしていることが分かり、L上のE2~E6までのフラグ（T）を？（ $>T$ ）とする。この時、ループLの起点E1とL上の素子とをループLのデータとして記憶する。

E6, E7, E8は他に経路が存在しないためフラグは？のままであるが、E3には別経路 $E3 \rightarrow E4 \rightarrow E5$ が存在するのでさらにトレースしていく。しかし、トレースの行き止まりであるE5は終点では無いので、フラグの優先順位からE5, E4のフラグ（T）をN（ $>T$ ）とする。ただし、E3のフラグは？（ $>N$ ）のままである。

E2にも別経路 $E2 \rightarrow E9 \rightarrow E$ が存在する。Eは終点であるから、E9のフラグ（T）をYとし、さらにE2, E1のフラグ（?）もY（ $>?$ ）にする。Lの起点E1のフ

ラグがYに決定されたことにより、ループL中の素子のフラグ（?）も全て起点と同じフラグYに置き換える。ここで、もし終点への経路が存在しなかったとすると、ループ上の素子のフラグは?のまま残るが、本アルゴリズムでは起点にトレースが戻った時点でフラグをNに書き換えるようにしている。これにより、他の始点からのトレース処理の無駄を省いている。

## 5. おわりに

本稿では部分回路切り出し機能を用いて合成回路の分割、階層化を行うことにより、設計者の様々な要求に応じた柔軟な設計が可能となることを示した。本機能は現在AS3000上で稼働中であり、C言語で約5K行で書かれている。

今後はさらに設計者の要求を満たす回路を自動生成するシステムとしていくために、本機能とタイミング最適化等の諸機能との整合を計っていく予定である。

### 【参考文献】

- [1] 黒澤、増淵、西尾他：“自動論理合成システムの適用・評価”，情報処理学会第34回全国大会，4F-7，昭和62年前期。
- [2] 宮田、増淵、西尾：“LSI設計エキスパートシステム”，東芝レビュー，42巻5号，昭和62年。

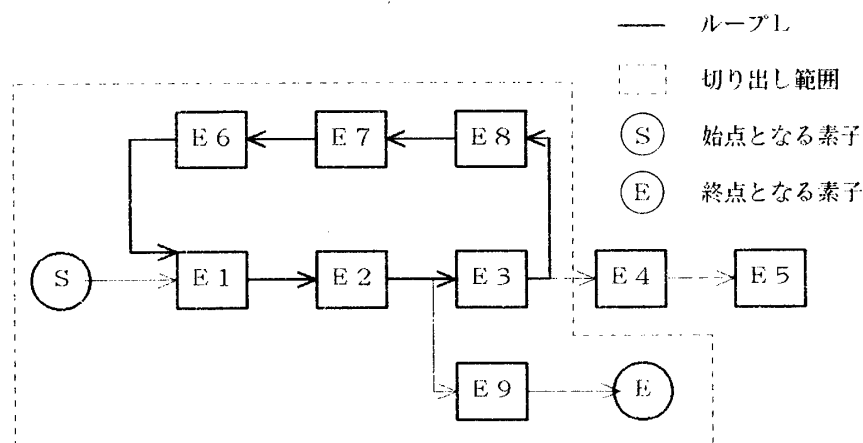


図1 両端指定でのループを含む部分回路の切り出し