

EWS (AS3000) 上に開発した機能設計検証システム

4S-1

深澤 孝幸 山岸 邦彦 北原 健 武井 勉 関根 優年

株式会社 東芝 ULISI研究所

1. はじめに

LSIの各設計ツールの効力を十分発揮させるため、機能設計レベルからレイアウトレベルまでの設計を一貫して行えるようにシステムの統合化が行われてきた。そして現在、大型計算機、PC(Personal Computer)上でこの構想が実現されている。特にPCではフロントエンドシステム用として開発され(PC-FAL<sup>(1)</sup>)、機能図入力等のグラフィック機能(FSETシステム<sup>(2)</sup>)で一層の強化をはかっている。他方、大型計算機はユーザ増加に伴うTATの増大やユーザインターフェイスが不十分であるなどの問題が生じている。また、PC上ではハードウェアの能力により回路規模に制限がある。そこで、大型機にかわるEWS上の統合化システムが必要となってきた。今回用いたEWSはAS3000(SUN)で4MIPS程度の性能をもつ。その手始めとして、市販のオープンシステム環境をもったCADのフレームワークを利用して、機能レベルの設計システムの開発を行った。そのためにまずミックスレベルシミュレータFAL<sup>(3)</sup>ならびに論理合成システム<sup>(4)</sup>のEWS上への移植を行った。このFALシミュレータおよび論理合成システムは、現在までに50~100kG規模の30品種にものぼる製品に適用され、その実績が認められている。これに併せて機能図入力、RTL記述変換、シミュレーション結果の波形表示の各ツールの開発ならびにシミュレーション環境の整備を行った。また、メニューをカスタマイズし、会話型でより使いやすいユーザインターフェイスを作成した。実際の設計ではマルチウィンドウを使って、回路図とシミュレーション結果等が同時に画面に表示できるので効率のよい設計が行える。

本システムの特徴としては、~100kG規模の回路のシミュレーションおよび~30kG規模の回路の論理合成が行え、これは現在の大型計算機上のシステムと同等のターンアラウンドタイム(TAT)である。なお、便利なグラフィック環境も用意されている。この開発はおよそ6カ月間と短期間で行えた。最後にEWS上での今後の開発方針についてまとめてある。

2. システムの概要

用いた市販のオープンシステムは機能性のよい言語を用意している。この言語は、データベースのアクセス、入力パネルの作成、UNIXコマンドの実行などが行える。このため、ユーザインターフェイスの作成やユーザ独自のシミュレータの組み込みなどを短期間で容易に行うことができた。また、もう一つの特徴として、各設計ツールに共通したデータベースがあり、データ構造の効率化をはかっている。そこで、このCADシステムのフレームワークを利用して、大型計算機上で開発のFALシミュレータならびに論理合成システムの統合を行った。

本システムの全体構成を図1に示す。すべてのツールは、メニューからなるユーザインターフェイスを介して実行される。シミュレーション実行のための環境をこのフレームワークを用いて作成した。設計の流れとしては、ユーザが作成した機能ブロックを用いて機能図を作成する。これらのブロック情報ならびに接続情報は、データベースに格納される。次に、データ

ベースから情報を抽出して、機能記述言語(RTL)に変換するプログラム(RTLリスタ)を作成した。得られた記述は、直接UNIXのviエディタを使って記述することもでき、behavior、RTL、structureの各レベルが扱える。また、検証した結果を波形表示させるため、フォーマット変換するプログラムを作成した。

実際の設計は、図2に示すようにマルチウィンドウを活用して行う。シミュレーション結果を見ながら回路修正等が行えるので設計効率の向上が期待できる。

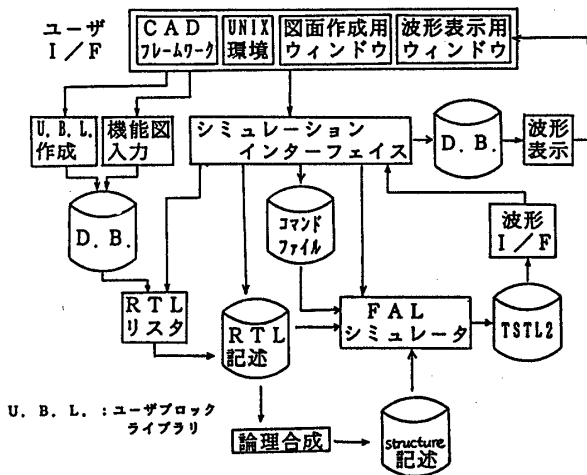


図1. システムの構成

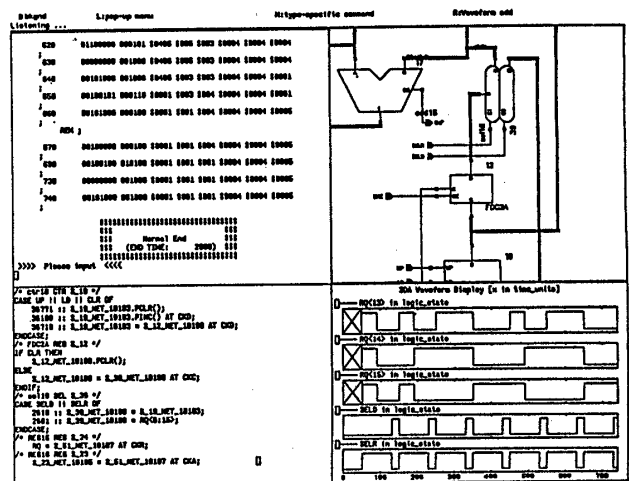


図2. 本システムの使用例

3. システムの構成

(1) ユーザインタフェース

新たに、FAL用および論理合成用のメニューを作成し、コマンドファイルとの結合を行った。

これにより、設計者はメニューをマウスで選ぶだけで所望のコマンドを実行できる。また、できる限り操作数をおさえるなど使い易さに主眼をおいた設計にした。

(2) 機能ブロック発生

このツールは設計者の要求する機能ブロックを自動発生させるものである。発生させた機能ブロックの情報はシステムのデータベースに登録され、FAL用のライブラリを構成する。現在、基本機能ブロックとして、ALU、REGなど32種を用意している。図3にその具体例を示す。パラメータ入力画面を表示させ、ここで入力されたブロック名、ビット幅等の条件を満たす機能ブロックを発生させる。発生させた機能ブロックを配置配線して機能図を作成する。

(3) RTL記述作成 (RTLリスト)

作成した機能図からシステムのデータベーススキーマに従いアクセスして必要な情報を抽出し、接続関係を見て、機能記述言語に変換するツールである。RTL記述を発生させた例を図3に同時に示す。特に名前(ラベル)を付けないネットに対してはシステム側で、ユニークな名前を自動発生する。

(4) FALシミュレータおよび論理合成

EWS上に移植したFALシミュレータは、behavior, RTL, structureの各記述レベルでのシミュレーションが行え、扱える回路規模は~100kGである。論理合成システムは、ルールに基づきRTLレベルの記述をstructureレベルの記述に変換するもので、規模は~30kGと大きい。

(5) 波形表示

用いたシステムのもつ波形表示システムとは、波形表示専用のフォーマットでインターフェイスするため、これを利用することにした。シミュレ

ーションの結果をセーブして得られる記述を変換するプログラムを作成した。回路図と波形表示用の2つのウィンドウを同時に表示し、回路図上マウスでクリックした信号の出力波形を表示させることもできる。

4. まとめ

EWS上に開発した機能・論理設計システムの性能について大型計算機ならびにPCと比較した結果を表1に示す。シミュレーション実行時間についてはハード依存であるので、今後さらに改善されると思われる。また、シミュレータ、論理合成で扱える回路規模は、それぞれ~100kG、~30kGと大きく、現在の大型計算機上のシステムと同等の性能を持っている。また、図形入力、波形出力等の現在の大型計算機上にはないグラフィック環境が用意されているというのも特徴の一つである。

大型機、EWS、PCの各プラットフォームを階層的に用意し、同一の設計環境を実現した。設計者は、設計のどの段階においても同一のツールが使えるので、設計の効率が向上した。

表1. FALシミュレータおよび論理合成の開発状況

	大型計算機	PC (J3100)	EWS (AS3000)
機能図入力	×	○	○
波形入出力	×	○	△
シミュレーションレベル	機能・論理	機能	機能・論理
シミュレータで扱える回路規模	~100kG	~30kG	~100kG
シミュレーション実行時間	2000 events/sec	150 events/sec	435 events/sec
論理合成で扱える回路規模	~30kG	扱えない	~30kG

\* △は出力のみ

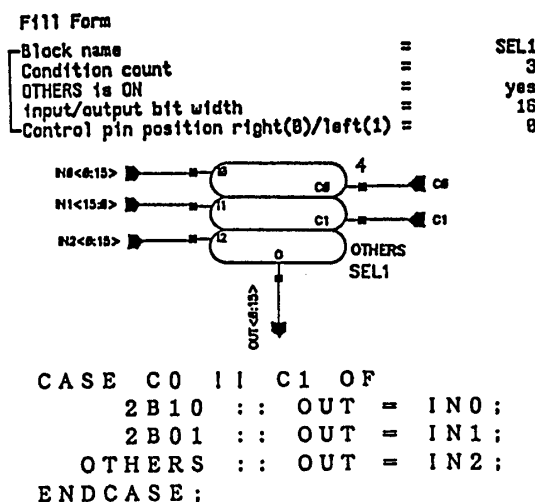


図3. 機能ブロック発生とRTL記述作成

5. 終わりに

現在、サブシステム間のつながりをより強化するために新たな機能開発を行っている。今回の開発はEWS上での統合化システム、統合化データベース構築への第一歩である。今後さらに大規模回路に対応でき、よりユーザインタフェースを意識した、インタラクティブな設計システムの開発を行っていく。

参考文献

- (1) 矢野、他 "PC-FAL 機能シミュレータの移植" 第35回情報処理学会全国大会
- (2) 木暮、他 "ラップトップPC上の機能図入力システムFSET" 第36回情報処理学会全国大会
- (3) 山岸、他 "ミックスシミュレータFALのASIC設計への適用" 情報処理学会設計自動化研究会38-3
- (4) 黒澤、他 "自動論理合成システムLUNAの適用と評価" 情報処理学会設計自動化研究会37-1