

統合論理設計支援システム ILOS における 回路図自動発生: LODAC 2

3S-6

五十嵐伸一、浅野裕子、鈴木重信、野水宣良

日本電気株式会社

コンピュータ技術本部

1. はじめに

高性能な装置の設計においては、論理変換や論理合成等で自動変換や自動生成した回路の結果確認や人手修正を行なう必要がある。この場合、変換生成後の回路に対応する回路図の見易さは必要不可欠である。

本論文では、統合論理設計支援システム ILOS における自動回路図発生フェーズ LODAC 2 について述べる。

2. LODAC 2 の特徴

LODAC 2 は、論理接続情報を入力して対応する回路図を発生するシステムである。

論理変換後の回路に対して見易い回路図を発生するために次に上げる特徴がある。

(1) 回路図イメージの保存

もとの高機能回路図や共通マクロ回路図を参照し、次の点を考慮する。

① シンボルの位置関係の保存

シンボルの位置関係を保存する事によって、設計者が見慣れた回路図に近い回路図を発生する。

② 束信号線・束シンボル化

高機能回路図や共通マクロ回路図上で束シンボルであったシンボルは、束シンボル化が可能な場合、束シンボル化し束信号線で配線を行なう。

(2) FDL の参照

FDL (Function Description Language) 記述から FUSION によって回路を合成した場合、参照出来る回路図が存在しない。そこで、FDL 中のレジスタ記述に着目し、同一レジスタ中の F/F をビット順にまとめて F/F 中心の回路図を

発生する。

(3) 階層形回路図の発生

トップの回路図から階層構造に従って、トップ及びマクロ単位で回路図を発生する。

マクロの論理変更に伴ってマクロのシンボル形状は、自動変更する。

3. 回路図発生

回路図発生は、まずシンボルを論理的に配置後シートに割り付ける。その後 2 段階配線法により、シンボルの各ピン間を束信号線又は信号線で配線する。

(1) 配置

① グループ分割

配置処理を容易にする為に、グループ分割を行なう。通常は、信号名によって入力端子をグループ分けし、これを核としてクラスタ成長法によってグループ分割を行なうが、ILOS システム中では、次の 2 方法で行なう。

a) 回路図参照の場合

回路図のシート単位に分割し、グループの順番はシート番号順とする。シンボルが追加されている場合は、接続しているシンボルが最も多いグループに含める。

b) FDL 参照の場合

同一レジスタの F/F をグループの核として、F/F の入力方向へクラスタ成長法によってグループ分割する。

② X, Y レベルの設定

シンボルの論理的な上下、左右位置を求める。通常は、回路をグラフ化してグループ核からの段

Integrated Logic Design Support System ILOS :
Automatic Logic Diagram Generation

Shinichi Igarashi, Yuko Asano, Shigenobu Suzuki, Nobuyoshi Nomizu
NEC Corporation

数をXレベルとする。Xレベルの最初と最後から、交互に数回同一Xレベルのシンボルの上下交換を行なってYレベルを決定する。上下交換は一つ前のXレベルのシンボルの中で最も接続数が多いシンボルと同一位置になるようにする。

a) 回路図参照の場合

回路図上で垂直方向に重なっているシンボル群ごとに左から右に順番にXレベルを与える。同一Xレベルのシンボルに対して、回路図上で上から下のシンボルへ順番にYレベルを与える。

b) FDL参照の場合

グループ核(F/F)のYレベルは、レジスタのビット順によって決定し、上下交換はグループ核からの1回のみ行なう。これによってレジスタ構成を意識した回路図が発生できる。

③シートへの割り付け

グループ単位でシート上での位置を決定する。

(2) 配線

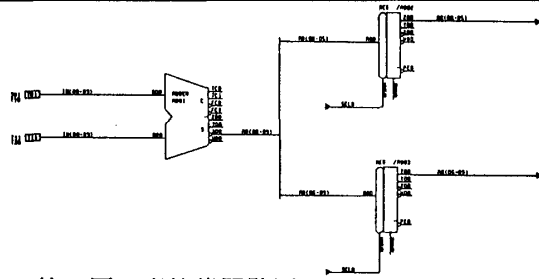
配線は、まずチャンネル分割を行ない、概略配線をラインサーチ法で、詳細配線をチャンネル配線法で行なう。詳細配線・概略配線共に、先に束シンボルからの配線を束信号線によって行ない、その後シンボルからの配線を信号線によって行なう。

束信号線は、信号線のまとまりであり回路図上では太い線で表わす。信号の合流や分岐は、通常に分岐マークで表現する。

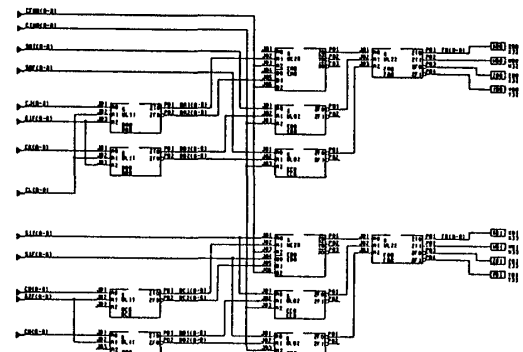
束信号線で配線するシンボルのピンの横には、必ず束信号名を表示する。束信号名には、展開ルールが定めてありシンボルのピンごとに信号名が定まる。これによって束信号線で配線されたシンボル間の接続を理解する事ができる。

4. 回路図発生例

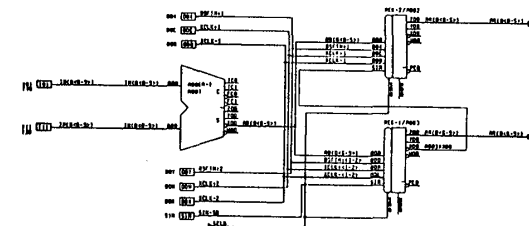
第1図は高機能回路図の一部であり、第2図は第1図中の共通マクロ：ADDERの回路図の一部である。第3図、第4図は、論理変更後に発生した回路図であり、それぞれ第1図、第2図に対応する。



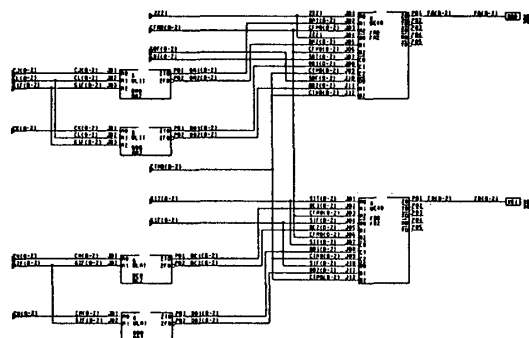
第1図. 高機能回路図



第2図. 共通マクロ：ADDERの回路図



第3図. 高機能回路図に対応する発生回路図



第4図. 共通マクロ回路図に対応する発生回路図

5. おわりに

高機能回路図や共通マクロ回路図を参照して設計者の持っているイメージに近い回路図や、FDLを参照してバスを意識した回路図を発生する事によって、分かりやすい回路図を発生できた。今後の課題として、FUSIONで発生した回路も束シンボル・束信号線で回路図を発生できるようにしていきたい。