

論理シミュレーションプロセッサSP の性能評価

3S-2

新妻潤一 広瀬文保 川戸信明 斎藤実*

富士通研究所

*富士通

1. はじめに

我々は、汎用大型計算機等の超大型論理装置の論理シミュレーションを高速に実行することを目的として、論理シミュレーション専用マシンSPを開発した¹⁾⁻³⁾。今回、SPを実際の大規模論理回路のシミュレーションに用い、性能測定・特性測定を行った。本稿では、そのデータをもとにSPの性能と対象回路の特性、複数プロセッサでの速度向上について評価を行う。

2. SPの概要

SPは最大64台の複数プロセッサ方式により400万素子、32Mバイトメモリの回路をシミュレーションできる容量を持つ。シミュレーションの精度はユニット遅延および零遅延である。4入力1出力の論理素子、または16~64Kアドレス×1ビットのメモリ素子をシミュレーションの単位としている。

単体プロセッサにおいては、①イベント駆動方式に基づくアルゴリズムを完全にハードウェアロジックで実現し、高速化をはかっている。②イベント駆動方式をファンアウト検索・評価・状態値更新の3つの処理に分割し、処理間の並列動作を行っている。③各処理はローカルメモリを持った専用パイプライン構成を取り、1クロックに1ゲートの処理が可能となっている。

SP全体では、④64台のプロセッサがユニット時間毎の同期を取りながら、並列にシミュレーションを行う。各プロセッサは対象回路の部分回路を担当する。⑤プロセッサ間の通信は各段に大容量のバッファを持った、多段階層型通信網によって行われる。

3. 対象回路と測定方法

3.1. 対象回路

2種の回路にたいしてプロセッサ分割数・出力観測数を変化させてシミュレーションを行った(分割はLSI単位で行っている)。対象回路は大型計算機の一部である。

回路A: 41万カティイ(含メモリ152Kバイト)

回路B: 86万カティイ(含メモリ532Kバイト)

3.2. 測定方法

測定は連続シミュレーションにより、対象回路の1000クロックシミュレーションの所要時間を測定した。またユニット時間ごとに停止させて、各時間ごとの評価ゲート数、プロセッサ間通信ゲート数、状態値更新数を測定した。

4. 測定結果と考察

4.1. 対象回路の特性

回路A、回路BのシミュレーションよりSPの速度に影響を与える二つの特性について測定を行った。一つは更新数と評価ゲート数の比である。更新数はゲートの出力変化の総数であり、評価数は入力に変化したゲートの総数である。この比は1ゲート評価の速度を決める要因になる。もう一つは、時間当たりの回路の変化率である。これはユニット時間で回路の何%の部分が変化したかであり、SPはイベント法を採用したので、この値がユニット時間当たりのSPが行う処理量を決める。

表1. 対象回路の特性

	回路A	回路B
更新数/評価ゲート数	47.2 %	42.6 %
ユニット時間当たり変化率	2.5 %	0.57 %

1) 1ゲート評価の速度

SPは、シミュレーションをファンアウト検索、ゲート評価、状態値更新の各処理に分け、それぞれをパイプライン化している。そのうち、ファンアウト検索は他のゲート評価および状態値更新と並列に処理を行っている。ほとんどの場合で、平均のファンアウト数は2程度であり、ファンアウト処理は評価および更新処理にかくれてしまうか同じぐらいである。また、SPはパイプライン方式により、1マシンサイクルごとに1ゲート評価か1状態値更新を行う。したがって、1ゲートを評価する速度は、評価と更新

Evaluation for performance of logic simulation processor SP

Junichi NIITSUMA, Fumiyasu HIROSE, Nobuaki KAWATO, Minoru SAITO *

Fujitsu Laboratories LTD. *Fujitsu LTD.

の割合により決まる。今回の測定結果では、評価数は更新数の4.2~4.7%程度であった。これは、単プロセッサでの1ゲートの評価が1.42~1.47マシンサイクルで実行できることを示している。

2) ユニット時間当たりの回路の変化率

また1ユニット時間当たりの回路の変化率は0.57%、2.5%となっている。これは、例えば1プロセッサの容量である6万4千ゲート回路では、1ユニット時間当たり365または1600のイベントが発生する値である。これはかなり小さな回路規模に分割しても処理が発生することであり、さらに並列化できる可能性があることを示している。

4.2.複数プロセッサによる効果

プロセッサ台数および出力ダンプ率とシミュレーション所要時間の比率を表2に示す。回路Aの32プロセッサ、ダンプ率0%のシミュレーション所要時間を1とした。SPは回路の観測ポイントの変化を出力プロセッサに通信しそこで蓄える。観測ポイントの全ゲートに対する比率をダンプ率と呼ぶ。表3は各プロセッサに分担させた回路の規模の均等率で、全ゲート数/(プロセッサ数×最多プロセッサ割り当てゲート数)で定義した。これは静的負荷分散の度合を表す。表4はユニット時間毎に各プロセッサが行った処理数をもとに計算したプロセッサの稼働率である。

表2. プロセッサ台数とシミュレーション時間の比率
(1000クロック シミュレーション)

プロセッサ数		8	16	32	64
回路A	ダンプ率 0%	3.10	1.76	1	
	ダンプ率 100%	5.10	5.28	4.95	
回路B	ダンプ率 0%		4.37	3.78	3.55
	ダンプ率 100%		4.64	4.43	4.40

表3. ゲート割り当て均等率

プロセッサ数	8	16	32	64
回路A	79.5%	77.8%	84.0%	
回路B		90.0%	51.6%	26.3%

表4. プロセッサ稼働率

プロセッサ数	8	16	32	64
回路A	64.8%	61.4%	51.2%	
回路B		19.4%	11.6%	7.3%

1) 複数プロセッサによる台数効果の評価

回路Aは静的なゲートの割り付けはだいたい均等でプロセッサの稼働率は50%以上になっている。台数効果もほ

ぼ線形にでている。

回路Bはプロセッサの稼働率が低い例である。これは回路の特定の部分のみが特に状態変化が大きいため処理がたよってしまうことが原因であることが判明した。単にゲート数を均等に分割するのではなく、動作頻度を加味した分割方法を検討中である。

2) 出力率の速度への影響

ダンプ率が増えると出力プロセッサへの通信網がネックになる。最悪の場合として、100%ダンプを行った場合を観測した。この場合は台数効果が得られない。しかし、0%のときと比較しても時間は高々数倍しかかからないことが分かった。

4.3.プロセッサ間通信の影響

ファンアウト検索されたゲートの中で他のプロセッサへのファンアウトであるゲートの割合を表5に示す。

表5. プロセッサ台数とプロセッサ間通信の割合(ダンプ率0%)

プロセッサ数	8	16	32	64
回路A	.231%	.276%	.283%	
回路B		.792%	.986%	1.517%

通信の割合はかなり小さい。今回の回路の分割によるシミュレーション結果では1%以下、64台でも2%以下になっている。これは、今回の割り付けがLSI単位にプロセッサを割り付けたためであり、この割り付け方は通信を減らす点で非常に良かった。

5. まとめ

単体プロセッサは約1.5マシンサイクルごとにゲート評価を行うことができる。複数プロセッサによる効果は、プロセッサ間の負荷分散による影響はあるが、台数を増やすことによる、速度の向上が得られている。回路変化をすべてダンプすると出力プロセッサがネックとなるが、その時の速度への影響は高々数倍であった。プロセッサ間の通信は、回路の割り付け方が良かったため、非常に少なかった。

参考文献

[1] F.Hirose, et al., "Simulation Processor "SP", " ICCAD-87, PP. 484-487, November 1987.
 [2] 広瀬 他 情報処理学会 第35回全国大会 7F-4
 [3] 新妻 他 情報処理学会 第35回全国大会 7F-5