

高速論理LSI用遅延テスト生成方法

2S-7

池田 光二*, 島山 一実*, 林 照峯*, 森脇 郁**, 白鳥 文彦**, 高倉 正博***
 * (株)日立製作所 日立研究所 ** (株)日立製作所 *** 日立エンジニアリング (株)

1. はじめに

高速に動作するLSIでは、信号伝播遅延の不良(遅延故障)が原因で誤った回路動作を行うことがあるため、遅延故障を検査する遅延テストが不可欠である。半導体技術の進歩に伴い、回路の大規模化・高集積化が促進され、論理的に連続するフリップフロップが同一クロックで動作する同相転送と呼ぶ回路構造が頻繁に用いられるようになった。遅延テスト方法に関しては、従来いくつかのものが報告されているが、ほとんどのものは組合せ回路を対象にしたものであり、スキャン構造をもつ論理LSIを対象にしたものでも同相転送によるテスト生成可否の判定を行っていなかった[1,2,3]。本報告では、同相転送をサポートする遅延テスト生成方法の提案とその方法の論理回路に対する実験結果について述べる。

2. 遅延故障と回路モデル

2.1 遅延故障

論理回路内の信号線の立上り遅延故障(slow-to-rise fault, R故障と略す)と立下り遅延故障(slow-to-fall fault, F故障と略す)を扱う(図1参照)。ここで、故障時には正常時よりも十分識別可能な程度に遅延時間が大きくなるものとし、遅延時間の絶対値については議論しない。したがって、故障検出するかしないかの計算には、上記故障の代りにこれらの最悪ケースである非立上り故障(not-rising fault)と非立下り故障(not-falling fault)を用いることができる。

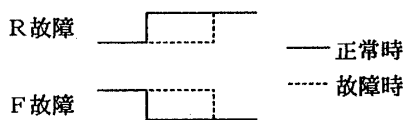


図1. 遅延故障

2.2 遅延テストを行う回路の単位

遅延テストでは、遅延故障の有無を判定するため、変化信号の入力が必要である。一般のスキャン構造をもつ回路において変化信号を実現するため、図2に示すような2段の組合せ回路からなる部分回路をテストの単位と

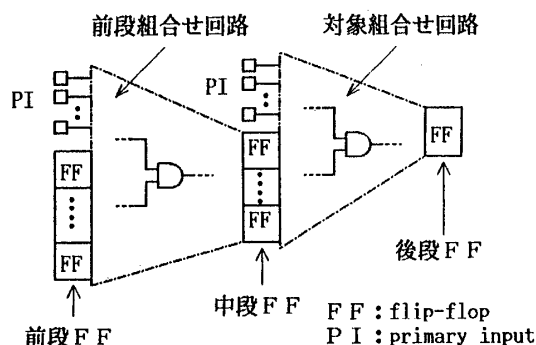


図2. 遅延テスト用回路モデル

している[1]。図2において、対象組合せ回路はその入力点の変化信号をその出力点に伝播して遅延故障に対するテストパターンを生成する部分組合せ回路である。中段FF(フリップフロップ)と後段FFは、それぞれ対象組合せ回路の始点と終点にあたるFFである。前段組合せ回路は中段FFに信号を供給する部分組合せ回路であり、前段FFは前段組合せ回路の始点のFFである。

3. 同相転送の制約条件

同相転送とは連続するFFが同じクロックで動作する回路構造である。同相転送に関する論理設計制約を示す前に本稿で取扱う2種類のFFについて説明する。

- (1) レベルFF: クロック信号が0レベル(または1レベル)の間データ信号を取り込む。
- (2) エッジトリガFF: クロック信号が0レベルから1レベル(または1レベルから0レベル)に変化するときデータ信号を取り込む。

同相転送に関して以下の2つの制約条件を規定する。

[制約条件1] F1, F2をFFとする。F1のクロックピンC₁がF2の出力ピンQ₂と接続するとき、F2のクロックピンC₂とC₁が同一クロックから信号を供給されてはならない。

[制約条件2] F1をFF, F2をレベルFFとする。F1のデータピンD₁がF2の出力ピンQ₂と接続するとき、F1及びF2のクロックピンC₁及びC₂が同一クロックから信号を供給されてはならない。

Delay Test Generation for High-Speed Logic LSIs
 Mitsuji IKEDA*, Kazumi HATAYAMA*, Terumine HAYASHI*, Kaoru MORIWAKI**, Fumihiko SHIROTORI**
 and Masahiro TAKARURA***
 * Hitachi Research Laboratory, Hitachi, Ltd. ** Hitachi, Ltd. *** Hitachi Engineering Co., Ltd.

図3を例にして説明する。図3(a)及び(b)は上記制約条件1及び2にそれぞれ違反する。しかし、図3(c)ではF1がエッジトリガFFなので制約条件に違反していない。

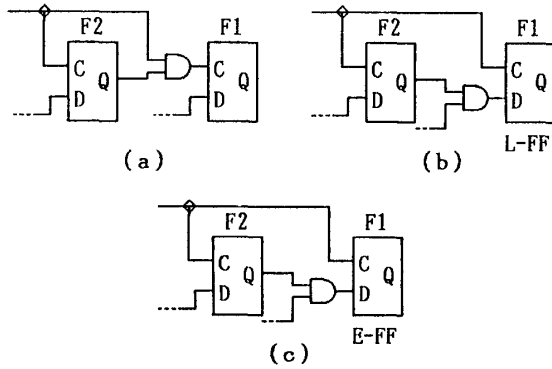


図3. 同相転送の回路例

4. 同相転送サポート方法

同相転送をサポートするため、以下に示す処理を行った。なお、クロック経路のハザード防止、耐多重故障等を考慮して基本アルゴリズムとして単一経路活性化法を用いる。

(1) 不明値(U値)設定の変更

文献[1]では、同相転送F1, F2(入力側がF1)があるとき、F1の出力に0でも1でもない論理値Uを与えることで不良テストパターンの生成を防止していた。今回はそれを違反同相転送に関して行うようにした。

(2) 同相中段FF間の論理値決定操作の追加

中段FFに0または1の論理値が要求されたとき、従来は活性化経路の始点となる中段FFと同相でなければ初期状態のみ、同相ならば初期状態及びデータ入力値に0または1の論理値を要求していた(図4(a)(b))。しかし、今回活性化経路の始点となる中段FFと同相のとき、論理値の要求元が後段FFの場合と中段FFの場合では要求が異なるようになった(図4(b)(c))。上記の2ケースを区別するため、中段FFから中段FFにかけて論理値を決定する操作を追加した。

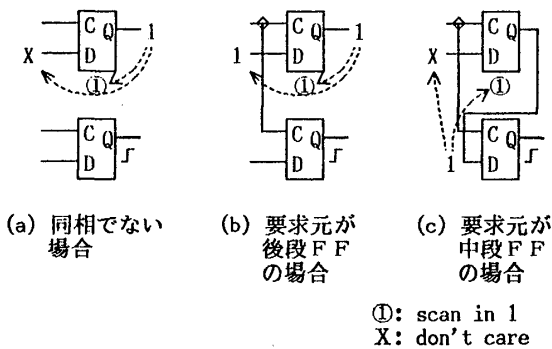


図4. 中段FFの論理値決定操作

(3) 活性化経路及びクロック経路の早期決定

(2)でも述べたように、中段FFにおける論理値決定操作は活性化経路の始点または終点となるFFと同相か否かにより異なる。上記操作を円滑に行うため、活性化経路及びクロック経路の決定を早期に行うようにした。

(4) 新論理値の導入

同相転送違反等により出現するU値はテスト生成に支障をきたすことがある。図5(a)では太線の経路はU値のため活性化できないが、従来はすべての信号線の論理値を確定するまで判らなかつた。そこで今回、0にできない未確定論理値H, 1にできない未確定論理値L及び0にも1にもできない未確定論理値Yを新たに導入することにより、活性化不可の早期判定を実現した。図5(b)にその使用例を示す。図5(b)より、ORゲートの変化信号伝播が不可能であることが直ちに判る。

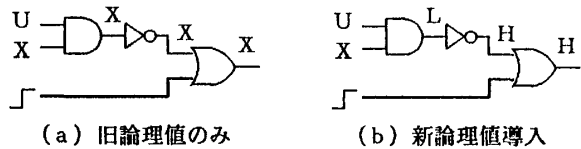


図5. 活性化不可の早期発見

5. 実験結果

同相転送を多く含むLSI 4品種(5~10kゲート)に対して本手法を試行した結果を表1に示す。これより、本手法の有効性を確認することができた。なお、未検出故障の多くは単一経路活性化法の限界である。

表1. 試行結果

No	活性化率	処理時間
1	90.48%	7'30"
2	94.83%	9'00"
3	91.98%	7'49"
4	96.48%	5'12"

6. おわりに

高速論理LSI用の遅延テストを行うため、同相転送をサポートする遅延テスト生成方法について検討した。実験結果より、現在対象とする回路で実用化できることが判った。本報告では省略したが、クロック系論理の故障に関する対策も同様に行っている。

参考文献

[1] T. Hayashi et al., "A Delay Test Generator for Logic LSI", Proc. FTCS-14, pp.146-149 (1984).
 [2] E. P. Haieh et al., "Delay Test Generation", Proc. 14th DA Conf., pp.486-491 (1977).
 [3] T. Simono et al., "An AC/DC Test Generation System for Gate Array LSIs", ITC '85, pp.329-333 (1985).