

MOS論理回路の故障シミュレーションと テスト生成の一方法

2S-6

岩田 忠久 古賀 義亮

(防衛大学校)

1. はじめに

従来 MOS 論理回路をタスクとして扱うスイッチレベルシミュレーションの方法¹⁾を提案しているが、論理値を 0、1 と不定だけしか定義していなかったため、特に短絡故障においては、実際の故障回路を測定した結果とシミュレーション結果が一致しないことがある。本報告では、タスクモデルによるシミュレーションを拡張したスイッチレベル故障シミュレーションと各故障のためのテスト入力の生成の方法等について提案する。

2. MOS 論理回路のモデル化

MOS 論理回路を MOSFET、抵抗、結線の基本素子から構成されるものとし、基本素子は互いに独立した 3 本の手を有するタスクとして扱う。MOS 論理回路はこのタスクを結合したタスクモデルの動作としてシミュレートされる。

図1(A)の 2 入力 NAND 回路をタスクモデルで表すと図1(B)のようになる。

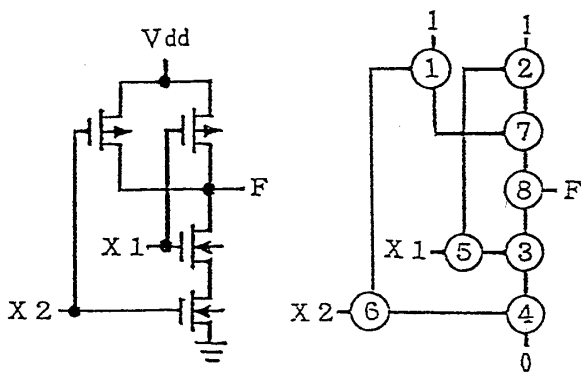


図1 MOS論理回路とタスクモデル

従来の 0 と 1 と不定の論理値の他に、本シミュレーションにおいては、論理値の強弱も考慮し、図2に示す論理値を定義する。

次に、各故障のモデル化について示す。

(1) 縮退故障 縮退故障とは 1 つの線路又は端子がある値に固定するものである。この状態を実現するためにシミュレータ内では、図3のように縮退した手を切断し、その手に縮退した値を与える。この際、縮退した値が入出力の両側に伝搬するため、短絡故障のような動作になることがある。そこで、縮退した値を 1^r 、 0^r とする。

(2) 短絡故障 短絡故障は、本来独立している線路が接続する故障であり、図4のようにタスクを追加して表現する。

(3) 断線故障 断線故障は、CMOS 論理回路特有の故障であり、この故障により、MOS 論理回路は組合せ回路が順序回路のような動作をする。故障状態は、縮退故障と同様に図2に表現されるようにタスクの手を切断して表すが、切断した手には未定 (X) の値を与える。

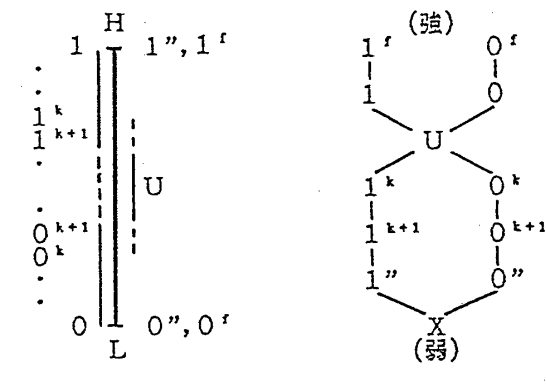


図2 論理値の電位と強弱

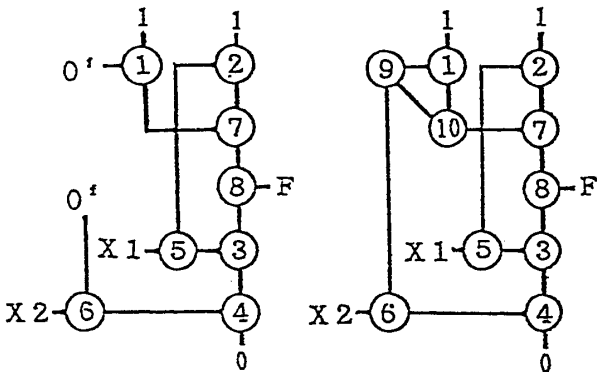


図3 縮退故障

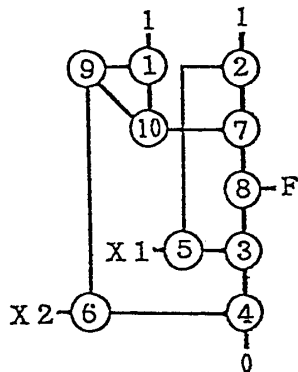


図4 短絡故障

3. テスト入力の生成

テスト入力とは、仮定した故障を検出するために必要な入力パターンである。本シミュレーションにおいては、Dアルゴリズムと²⁾同じ様な方法を用いてテスト入力を生成し、その入力に対してシミュレーションを行う。Dアルゴリズムとは異なり、論理値にd又は \bar{d} を用いない。これは、本シミュレーション、特に短絡故障においては、シミュレーションの出力が $\bar{0}$ という0にも1にも属さない値をとることがあるため、Dアルゴリズムで求めた出力値がそのままシミュレーションの出力に対応しないためである。テスト入力の生成アルゴリズムにおいては、基本故障キューブと伝搬キューブを用いる。各々のキューブの決定にあたっては、次の事項を考慮する。

- (7) 故障が仮定されるMOSFETと並列にあるMOSFETが導通状態にあると故障が被覆されることがある。
- (4) 基本故障キューブからの論理値が並列な経路を伝搬するとき、それらの内の少なくとも1つの経路を通過すればよい。
- (9) 断線故障の検出のためには、少なくとも2つの連続するテスト入力が必要である。

以上の考慮事項をもとに決定した各基本故障キューブを表1～3に示す。

また、各伝搬キューブは下記のようになる。

- (1) pMOSFET [nMOSFET] ソース、ドレインの内一方に論理値が伝搬され、他方の値が未定(X)ならば、ゲートの値を0[1]にして、その値を伝搬させる。ソース、ドレインの両方に論理値が伝搬され、その値が異なるときにはゲートの値を1[0]にする。
- (2) 抵抗 両端子のうち、どちらか一方の端子に論理値が伝搬され、他の一方の端子の論理値が未定(X)ならば、その論理値を与える。
- (3) 接続点 1つの端子に論理値が伝搬され、他の端子の値が未定(X)ならば、それらの端子の一方又は両方にその値を伝搬させる。

表1 縮退故障

縮退故障	G	D	S
ゲート	0	1	0 1
		[1	1 0]
1	0	0	0 1
		[0	1 0]
ソース	0	0	1 1
		[1	1 1]
1	0	0	0 0
		[1	0 0]
ドレイン	0	0	1 1
		[0	1 0]
1	1	1	0 1
		[1	0 0]

表2 短絡故障

短絡故障	G	S	D
ドレイン	1	1	0
ソース間	[0	0	1]
ゲート	0	1	0
ソース間	[1	0	1]
ゲート	1	1	0
ドレイン間	[0	0	1]

表3 断線故障

断線故障	G	S	D
pMOS 初期化	1	1	0
検出	0	1	0
nMOS 初期化	[0	0	1]
検出	[1	0	1]

4. おわりに

本論においては、スイッチレベルの故障シミュレーション方法とテスト入力の生成方法について示した。本方法により従来よりも正確なシミュレーション結果が得られるようになる。

参考文献

- 1) 竹之上, 川端, 古賀: MOS論理回路のフォールトシミュレーションの一方法, 情報処理学会, 第34回全国大会. 3F-6 (1987)
- 2) 藤原: Logic Testing and Design for Testability, (The MIT Press) (1985)