

# 差動回路向けテスト生成手法

2S-1

長藤元宜 日當瀬良夫 山口由二 馬場義紀 森脇郁  
 日立コンピュータエンジニアリング(株) (株)日立製作所

## 1. はじめに

最近の超大型計算機ではマシンサイクルの短縮に伴い、クロック系の電気的特性を保証するための差動回路を採用している。差動回路は、正/負極側各々排反の信号を用いることによりノイズマージンを改善しているが、従来のテストパターン生成用DAシステムでは正/負極のテストパターンを排反とするためのテスト生成用素子ライブラリの等価回路表現が複雑となり、処理時間の増大、自動故障検出率の低下等の性能低下を招いていた。

この問題に対処するためにいくつかの等価回路の試作、及び、現有アルゴリズムの能力を検討した。本稿ではこれらの検討にもとずいて得られた差動回路を対象とするテストパターン生成の一手法について述べる。

## 2. 差動回路の特徴

差動回路、及び、真理値表をそれぞれ図1、表1に示す。

論理動作では、クロック系のノイズ対策として図1に示すような正/負極側各々排反の信号を用いている。しかし、この差動回路の入力I1、I2に対し、同値のパターン(不当入力パターン)を印加した場合、出力O1、O2は定まらない(不確定状態)ためテストパターンは排反値を保障しなければならない。

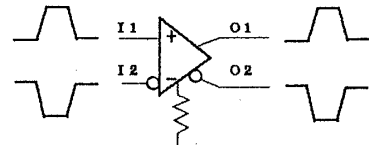


図1. 差動回路の動作

表1. 差動回路の真理値表

I1	I2	O1	O2
0	1	0	1
1	0	1	0
0	0	×	×
1	1	×	×

不当入力パターン

## 3. 従来の問題点

従来は、図1に示すように差動回路の素子ライブラリ内に不当入力パターン抑止回路を設け対処した。しかしながら図2の等価回路を用いてテストパターン生成した場合、下記に示す理由により、差動回路を用いないときに比べて処理時間の増加、自動故障検出率の低下になった。

- (1) 不当入力パターン抑止回路を付加することにより等価回路が複雑化し、テストパターン生成アルゴリズムに悪影響を及ぼした。
- (2) 差動回路を複数段にわたり用いた場合、差動クロックパス上でパスの分岐、再取れんが繰り返され(図3)テストパターン生成アルゴリズム上、取り扱い困難な回路構成となった。

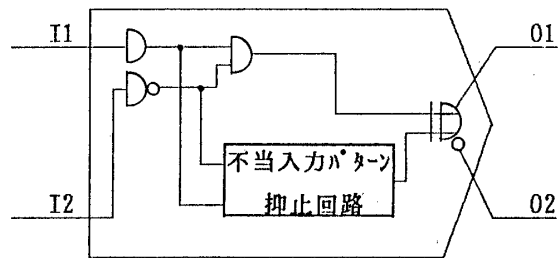


図2. 差動回路のテストパターン生成用素子ライブラリ(等価回路)

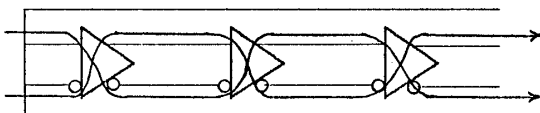


図3. 差動クロックパス上の分岐、再取れん

A Method of Test Generation for Differential Amplifier Circuits

Motonobu NAGAFUJI<sup>1</sup>, Yosio HINATAZE<sup>1</sup>, Yuji YAMAGUCHI<sup>1</sup>, Yosinori BABA<sup>1</sup>, Kaoru MORIWAKI<sup>2</sup>

1. HITACHI COMPUTER ENGINEERING Co.,Ltd. 2. HITACHI,Ltd.

4. 差動回路対策

前章で述べた問題点に対し、数ケースの等価回路の試行およびテストパターン生成アルゴリズムの能力を検討した。その結果、差動回路の入カパターンは常に排反という性質に着目して素子ライブラリの非差動化（片極表現）および差動用テストパターン変換（排反値付加）を行い対策することにした。

(1) 素子ライブラリの非差動化

表2に従来の問題点と対策を示す。

表2. 従来の問題点と対策

NO.	従来の問題点	対策	備考
1	等価回路が複雑化し、テストパターン生成に悪影響。 抑止処理が故障検出に関係のない差動入力ゲートまで実施し、これを全テストパターンについてくり返すため処理時間増加。	差動入力ゲートの負極側は未使用状態にし、正極側のみでテストパターン生成可能な等価回路にし抑止処理を不要化した。	図4 参照
2	差動回路を複数段にわたり使用した場合、見かけ上パスの分岐・再取れんとなる。	差動内部、出力ゲートの正極側と負極側のパスを分離して故障伝搬上に生じる矛盾を解消しテストパターン生成を容易にした。	図4 参照

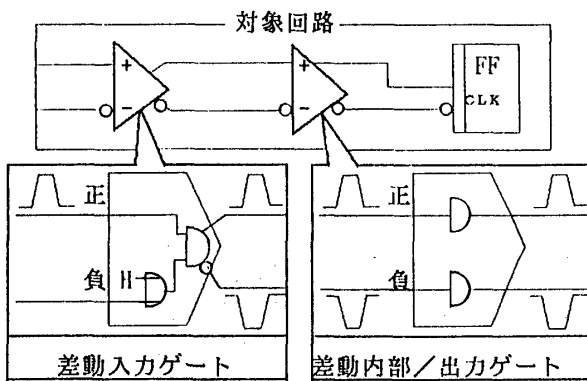


図4 素子ライブラリの非差動化

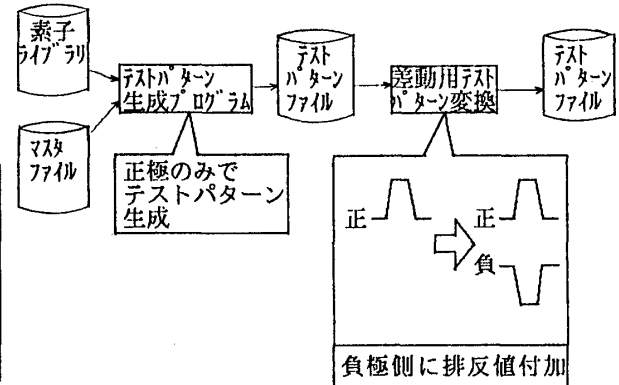


図5. 差動用テストパターン変換

(2) 差動用テストパターン変換

前述の等価回路を用いてテストパターン生成した場合、差動入力ゲートの負極側を未使用状態にしたため、排反値が保証されない。そこで、図5で示した差動用テストパターン変換を行う。処理内容を次に示す。

- (a) 差動回路のテストパターンは単純化した素子ライブラリを用いて片極のみで自動生成する。
- (b) (a)で作成したテストパターンファイルを読み、差動入力負極側については正極側と排反の値を付加し、最終的なテストパターンファイルとする。

表3. 比較結果

NO.	品種	対策前		対策後	
		処理時間比 *1	検出率 (%)	処理時間比 *1	検出率 (%)
1	A	9.7	96.46	1.0	97.13
2	B	4.2	96.03	1.0	98.45
3	C	1.4	99.05	1.0	98.74
4	D	1.6	99.30	1.0	98.61
5	E	7.2	95.27	1.0	95.76
6	F	3.9	60.34	1.0	66.21
7	G	5.3	64.36	1.0	73.06
8	H	11.0	85.25	1.0	98.91
平均		5.5	87.00	1.0	90.85

\*1 処理時間比は、対策後を基準とする。

5. おわりに

表3に示したように本手法により処理時間が平均5分の1、自動故障検出率は平均3.8%向上できた。