

携帯端末用低消費電力 H.263 Version 2 コーデックコアの VLSI 化設計

宋 天[†] 藤 田 玄^{††}
尾 上 孝 雄[†] 白 川 功[†]

本論文では、小面積 H.263 Version 2 コーデックの VLSI アーキテクチャとその実装結果に関して記述する。1998 年勧告された H.263 Version2 は、既存の H.263 に比べ、圧縮率の向上に効果のあるいくつかのオプションを含んでいる。H.263 は携帯用途での利用が期待されているが、この H.263 Version 2 に特化した専用回路による実装報告例はない。本論文は、そのオプションの中でも比較的ハードウェア規模が少なく、画質向上の大きい、レベル 1 のオプションを中心とした実装について考察する。実装したレベル 1 オプションのうち、拡張 INTRA 符号化モードとデブロッキングフィルタモードに関しては、必要とする機能を可能な限り 1 モジュールに集積することにより、オプションモードの追加や削減が、該当するモジュールの追加や削減によって実現できるようになったため、応用に際してハードウェアが容易にカスタム化できる構成となっている。提案したアーキテクチャを VLSI 化設計した結果、374,440 個のトランジスタを使用し、25 MHz 動作時に 30 fps/QCIF の処理速度が実現可能となった。

Low Power Implementation of H.263 Version 2 Codec Core Dedicated to Mobile Computing

TIAN SONG,[†] GEN FUJITA,^{††} TAKAO ONOYE[†] and ISAO SHIRAKAWA[†]

In this paper a low power architecture is described for H.263 Version 2 codec, which is an extension of the H.263 baseline with 12 negotiable modes added to improve the coding performance and to enhance the error resilience. Our implementation is concentrated on the following 4 modes of the lowest complexity dedicatedly for the mobile computing; Advanced INTRA Coding Mode, Deblocking Filter Mode, Modified Quantization Mode, and Supplemental Enhanced Information Mode. Implementation results are also shown to demonstrate that these 4 modes have been attained by adding a few area to the H.263 baseline version.

1. はじめに

H.263¹⁾は PSTN を通信媒体とした低ビットレートマルチメディア通信を規定する国際標準 H.324²⁾のビデオ部である。H.263 の符号化効率はきわめて優れており、QCIF (176 × 144 画素) 10 fps の動画を 30 kbps 程度のビットレートで符号化する能力を持つ。したがって、テレビ電話、モバイルコンピューティング、あるいは無線マルチメディア通信など、広い分野での応用が期待されており、わけても無線環境での携

帯端末による活用はマルチメディア通信の技術革新として期待を集めている。

しかしながら、オプションをまったく用いないベースライン H.263 は画質向上とエラー耐性強化の余地があるため、1998 年に H.263 Version2 が勧告され、新たな画質向上や誤り耐性強化のオプションが追加されている。これらのオプションは、画質の向上と演算量の増加のトレードオフを考慮して、3 つのレベルに分類されている。この中でもレベル 1 オプションは少ない演算量での画質向上が期待できる。

H.263 の VLSI 実装例はいくつか報告されているが、DSP を用いたソフトウェアによる実装^{3)~8)}がほとんどである。DSP による実装は柔軟性が高いが、携帯端末に対して要求の強い、低消費電力化という観点からは、DSP よりも専用回路による実装が実用的である。しかしながら、専用回路による H.263 の実装報告

[†] 大阪大学大学院情報科学研究科情報システム工学専攻
Graduate School of Information Science and Technology, Osaka University

^{††} 大阪大学先導的研究オープンセンター
Center for Advanced Research Projects, Osaka University

例⁹⁾はオプションのないベースラインのみである。小面積ハードウェアによって H.263 本来の性能を実現するには上記のレベル 1 オプションの専用回路による実装が必須である。MPEG-4 のコーデックとの共有化により実装した例^{10),11)}もあるが、MPEG-4 は処理が複雑であり、H.263 を単独に実装した場合と比べ、冗長な回路や組み込みプロセッサが必要となり、ゲート規模が膨大になる。

本論文では、ASIC 手法による小面積かつ低消費電力の専用回路の実装を目的として、H.263 Version2 のレベル 1 オプションの VLSI アーキテクチャを提案し、それを用いた H.263 Version2 コーデックの VLSI 化設計を行う。これにより、H.263 のベースライン処理用 VLSI に比べて、わずかなハードウェアの付加によって高い圧縮率が実現可能となる。

以下、2 章では H.263 Version2 のレベル 1 アルゴリズムについて概説し、3 章では提案 VLSI アーキテクチャについて、4 章では実装結果について述べ、最後に結論を述べる。

2. H.263 Version 2

2.1 ベースライン H.263

H.263 Version2 の基本アルゴリズムは、ベースライン H.263 と同様、いわゆる MC-DCT 符号化である。その基本処理を図 1 に示す。H.263 の処理は図 2 に示すように、16 × 16 ピクセルのマクロブロック、あるいはブロック単位で処理される。また、1 つのマクロブロックは Y1, Y2, Y3, および Y4 の 4 つの輝度ブロックと Cb と Cr の 2 つの色差ブロックより構成される。図 1 に示すように、入力画像に対し、ME により得られた動きベクトルに基づき、マクロブロック単位で参照画像との差分演算を行う。その後、ブロック単位で DCT を行い、量子化処理を行うが、次の参照画像を作成するためにローカルデコードと呼ぶ逆処理を行う。それらは、図 1 の逆量子化、IDCT の処理に相当する。最後に動き補償を行い、FM に保持する。

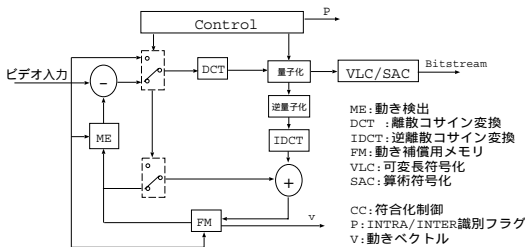


図 1 ベースライン H.263 アルゴリズム

Fig.1 Baseline H.263 algorithm.

H.263 は図 1 のアルゴリズムをベースとし、さらなる高性能化が可能なオプションモードを任意に使用することができる。これらのオプションは画質の向上とエラー耐性の強化に有用であるが、処理が複雑となるため、そのトレードオフを考慮する必要がある。

2.2 レベル 1 オプション

H.263 Version2 では 12 個の新しいオプションモードがあるが、その実装しやすさ、画質向上、およびエラー耐性により 3 つのレベルに分類される。本論文では、携帯端末の利用を考慮し、その中でも画質向上が大きく、かつ実装しやすいレベル 1 オプションを採用する。レベル 1 オプションには、拡張 INTRA 符号化モード、デブロッキングフィルタモード、修正量子化モード、および付加拡張情報モードの 4 つがある。

H.263 Version 2 の拡張 INTRA 符号化モード、デブロッキングフィルタモードと修正量子化モードの性能評価結果¹²⁾より、拡張 INTRA 符号化モードは輝度ブロックに対し、PSNR (Peak to SNR) の向上が著しいことが分かる。デブロッキングフィルタモードと修正量子化モードは輝度ブロックに対する PSNR 値の改善は少ないが、色差ブロックに対しては、PSNR 値の増加が大きい。付加拡張情報モードに関しては、PSNR の低いフレームの表示を停止することができ、平均 PSNR 値と主観的な画質の改善に有効であると考えられる。以下では各オプションの概要に関して述べる。

2.2.1 拡張 INTRA 符号化モード

マクロブロックは、INTRA タイプと INTER タイプに分類できる。INTER タイプのマクロブロックは参照フレームとの動き補償を行うが、INTRA タイプのマクロブロックは、他フレームを参照せず、直接 DCT 変換と量子化処理を行う。

拡張 INTRA 予測とは、圧縮効率の低い INTRA ブロックに対して、隣接する上と左のブロック内の情報を利用することにより効果的に圧縮効率を高める手法

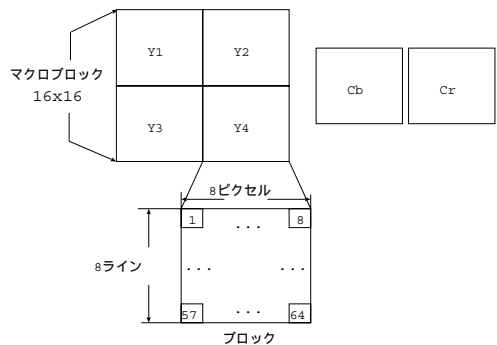


図 2 H.263 のマクロブロックの構成

Fig.2 H.263 macroblock structure.

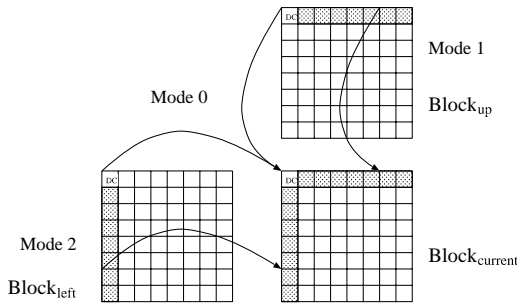


図3 INTRA 予測方法
Fig. 3 Three modes of Intra prediction.

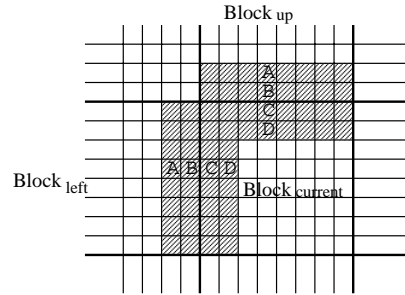


図4 デブロッキングフィルタ演算
Fig. 4 Deblocking filter.

である．具体的には，3つのモードが存在し，モード0ではDC成分の予測，モード1では水平成分の予測，モード2では垂直方向の予測を行う．各モードはマクロブロック単位に割り当てられ，たとえば，水平周波数成分が多いマクロブロックに対しては，モード1が選択される．垂直周波数成分が多いマクロブロックに対しては，モード2が選択される．DC成分だけが大きい場合は，モード0が選択される．図3にその予測方式を示す．図の中の $Block_{current}$ ， $Block_{left}$ と $Block_{up}$ はそれぞれ現在符号化しているブロック，その左のブロックとその上のブロックを意味する．モード0を実行する場合， $Block_{current}$ のDC成分と $Block_{up}$ ， $Block_{up}$ のDC係数の平均値の差分値を符号化する．モード1を実行する場合， $Block_{current}$ と $Block_{up}$ の1行目のDCT係数の差分値を符号化する．モード2を実行する場合， $Block_{current}$ と $Block_{left}$ の1列目のDCT係数の差分値を符号化する．

2.2.2 デブロッキングフィルタモード

H.263の処理はブロック単位で行うので，DCT変換，量子化(図1参照)などの影響によりブロック間にブロックノイズが生じる．デブロッキングフィルタモードはこのブロックノイズを軽減する効果がある．本モードは，復号された画像のうち，水平または垂直方向に並んだ4ピクセルの画素値を用いて行う．その概要を図4に示す．図中の $Block_{current}$ ， $Block_{left}$ と $Block_{up}$ は，図3と同様，それぞれ現在符号化しているブロック，その左のブロックとその上のブロックを意味する．

具体的な演算処理は以下の式(1)から式(10)を用いて行う． A, B, C, D は入力画素値， $A1, B1, C1, D1$ はそれぞれのフィルタ処理後の画素値である．これらを求めるために，まず，

$$UpDownRamp(x, Strength) = \text{sign}(x) * \max(0, |x| - \max(0, 2(|x| - Strength))) \quad (1)$$

表1 Strengthと量子化ステップの関係
Table 1 Relationship between Strength and Quantization step.

Q	Strength	Q	Strength	Q	Strength
1-2	1	10-11	5	20-22	9
3-4	2	12-13	6	23-25	10
5-6	3	14-16	7	26-28	11
7-9	4	17-19	8	29-31	12

$$clipd1(x, lim) = \begin{cases} x & (|x| \leq lim) \\ lim & (x > lim) \\ -lim & (x < -lim) \end{cases} \quad (2)$$

を定義し，これらを用いて差分値である

$$d = \frac{A - 4B + 4C - D}{8} \quad (3)$$

$$d1 = UpDownRamp(d, Strength) \quad (4)$$

$$d2 = clipd1\left(\frac{A - D}{4}, \frac{d1}{2}\right) \quad (5)$$

を求める．次に，

$$Clip(x) = \begin{cases} x & (0 < x < 255) \\ 0 & (x \leq 0) \\ 255 & (x \geq 255) \end{cases} \quad (6)$$

を定義し，この関数と前述の $d, d1, d2$ から

$$B1 = Clip(B + d1) \quad (7)$$

$$C1 = Clip(C - d1) \quad (8)$$

$$A1 = A - d2 \quad (9)$$

$$D1 = D + d2 \quad (10)$$

が求まる．ここで， $Strength$ の値は $Block_{left}$ ， $Block_{up}$ の量子化ステップ値を用い，表1から求められる．表中のQは量子化ステップ値を表す．

2.2.3 修正量子化モード

ベースライン H.263ではマクロブロックの量子化ステップ値とその直前のマクロブロックの量子化ステップ値の差分を符号化する．しかし，その差分情報の符号化には2ビット分しか与えられていないため，量子

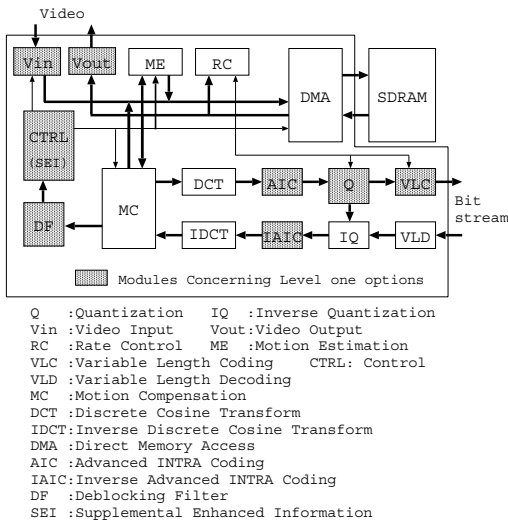


図5 H.263 Version2アーキテクチャ
 Fig. 5 H.263 Version2 architecture.

化ステップ値を大きく変化させることはできない。このモードでは、5ビットを使用することにより、この量子化ステップ値を直接符号化することができるため、優れたレート制御アルゴリズムと組み合わせることによって、よりきめ細かいレート制御が可能になる。また、このモードは、より有効な色差量子化ステップを規定することにより画質を向上させている。

2.2.4 付加拡張情報モード

このモードでは、様々な付加拡張情報をビットストリームに付加することができるが、レベル1では全フレーム凍結モードのみが使用できる。全フレーム凍結モードでは、PSNRの低いフレームの表示を行わないことによって、画質の高いフレームだけを表示するなどの処理が可能となる。本モードを実装する際、復号器側では復号フレームの表示を止める機構を付加することにより簡単に実現できるが、符号器側では、画質劣化フレームを選択するアルゴリズムが必要になる。

3. VLSI アーキテクチャ

本論文で提案する H.263 Version 2 のアーキテクチャの全体構成を図5に示す。

ベースラインのみの符号化は動き検出 (ME)、離散コサイン変換 (DCT)、量子化 (Q)、および可変長符号化 (VLC) の各専用モジュールによって行う。一方、復号化処理は可変長復号化 (VLD)、逆量子化 (IQ)、逆離散コサイン変換 (IDCT)、および動き補償 (MC) モジュールを用いる。その他、制御部 (CTRL)、レート制御部 (RC)、画像入出力部 (Vin, Vout) から構成される。本コーデックは小面積、低消費電力を目的

とし、すべての機能モジュールを専用回路によって実装する。

動き検出に関する研究は多数^{13)~16)}報告されているが、それらの多くは動きベクトルの精度が不足しているか、膨大な計算量が必要であるため、VLSIの実装に向いていない。本論文の実装には、VLSI実装に適しているマクロブロッククラスタリング手法¹⁷⁾を採用する。

DCT/IDCTに関する実装報告例^{18)~21)}も多いが、MPEG1/2の演算量を考慮して設計されているため、演算負荷の少ないH.263のDCT/IDCT演算に適した構成ではない。本論文ではH.263のDCT/IDCT演算に適した直接演算法²²⁾を採用する。

メモリの使用量は消費電力の増加の要因になるため、本アーキテクチャは符号化用フレームメモリを5フレーム分、復号用フレームメモリ2フレーム分、合計7フレーム分の小容量により実現しているが、動き検出、動き補償、画像入力処理の並行実行を可能としている。

一般的に画像符号化において、動き補償、DCT、量子化処理などの一連の処理は、マクロブロックあるいはブロック単位のパイプライン化が可能である。マクロブロック単位のパイプライン処理は高速化が容易であるが、各機能モジュールが持つ必要な内部メモリ容量が大きくなるため、ハードウェア量が大きくなる。本コーデックコアでは小面積化を最大の目的としており、ブロック単位のパイプライン構成を採用する。

レベル1オプション処理に用いるモジュールを図5の網影部分に示す。拡張INTRA符号化モードでは、DCT係数を用いてINTRA予測を行うため、DCT変換の直後に拡張INTRAモジュール (AIC) を設ける。復号化の際は、逆量子化の直後に逆拡張INTRAモジュール (IAIC) によって逆INTRA予測を行う。デブロッキングフィルタモードは、動き補償を行った直後に処理を行うので、図5のようにデブロッキングフィルタモジュール (DF) を設けて、フィルタ操作を行う。修正量子化モードはCTRL、VLCモジュールに単純な組合せ回路を組み込むことによって実現する。付加拡張情報モードは復号器の出力を制御するため、Vin, Vout, Qモジュールを改良する必要がある。また、画質劣化フレームの選択アルゴリズム (SEIモジュール) をCTRLモジュールに実装する。各オプションのうち、拡張INTRAモードおよびデブロッキングフィルタモードはオプションの処理に必要な機能のほとんどをAIC/IAIC, DFモジュールに組み込んでいるため、これらのオプションを使用しないアプリ

ケーションにおいては、これらのモジュールを削除することにより、より小面積化を図るなどハードウェアのカスタム化が可能である。

以下では、各オプション実装におけるアーキテクチャとその実装結果を述べる。

3.1 拡張 INTRA 符号化 (AIC/IAIC) アーキテクチャ

拡張 INTRA 符号化では、3つのモードの選択が画像の性質に適しているかによって圧縮率が大きく変動するため、その判定アルゴリズムが重要である。従来提案されている手法²³⁾ではマクロブロックの全輝度ブロックを用いて、以下のような式でモード判定を行う。

$$SAD_{modei} = \quad (11)$$

$$\sum_b [E_i(0,0) + 32 \sum_u |E_i(u,0)| + 32 \sum_v |E_i(0,v)|] \quad (12)$$

$i=0 \sim 2$: i はモード番号を示す。

$b=0 \sim 3$: b はブロック番号を示す。

$u,v=1 \sim 7$: u,v は画素数を示す。

SAD_{modei} : 各モードの SAD (Sum of Absolute Difference) 値を示す。

(u,v) : 隣接ブロックの対応位置の DCT 係数との差分値を示す。

式 (11) に示すように、3つのモードを使用する場合の SAD 値をすべて求める必要がある。この従来法では計算量が多く、小面積実装には不向きである。また、マクロブロックすべての DCT 係数の計算が終わるまで、モード判定ができないという問題があり、ブロック単位のパイプライン処理ができない。

本論文では少計算量かつパイプライン処理のできるモード判定手法を提案する。同一マクロブロック中の4つの輝度ブロックは水平または垂直周波数の成分がほぼ同じである確率が高いため、この性質を利用して、4つのブロックではなく、1つのブロックのみを用いて判定する。これにより演算を削減し、さらに1ブロックのみを用いることにより、ブロック単位のパイプライン処理が可能である。提案手法に用いる DCT 係数を図 6 に示す。

まず、ブロック 0 の水平、垂直周波数成分の和を求める。

$$Hori_sum = \sum_{i=1}^7 H_i \quad (13)$$

$$Verti_sum = \sum_{i=1}^7 V_i \quad (14)$$

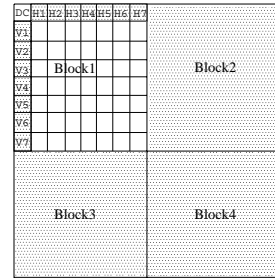


図 6 提案手法に用いる DCT 係数

Fig. 6 DCT coefficients used by proposed method.

```

if (|Hori_sum-Verti_sum|>|DC|/A)
  if (Hori_sum-Verti_sum)>0)
    Mode=Mode1
  elseif (Hori_sum-Verti_sum<0)
    Mode=Mode2
  else Mode=Mode0

```

図 7 モード判定手法

Fig. 7 Mode selection method.

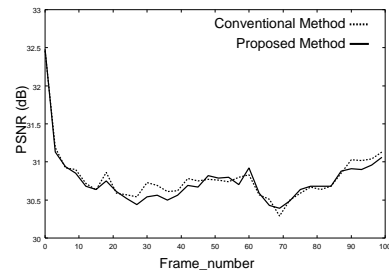


図 8 シミュレーション結果

Fig. 8 Simulation result of proposed method.

式 (13) と式 (14) において、 H_i 、 V_i はそれぞれ図 6 中の $H1 \sim H7$ 、 $V1 \sim V7$ の画素値を指す。式 (13) と式 (14) により求めた $Hori_sum$ 、 $Verti_sum$ を用い、図 7 に示す方法でモードを判定する。

図 7 中の A はモード判定の閾値である。この閾値に 2,4,8,16,64... などの値を設定し、ソフトウェアによるシミュレーションを行った結果、 $A=64$ のときに PSNR 値が最も優れた値を示した。この閾値を用いて、提案法と従来方法を比べた結果を図 8 に示す。評価用動画シーケンスには QCIF の Akiyo を用いた。提案手法は従来法に比べ、計算量が大幅に小さくなるにもかかわらず、ほぼ同等の画質を保っている。

提案したモード判定方法を実現する AIC モジュールのアーキテクチャを図 9 に示す。このアーキテクチャは予測メモリ、演算部と制御部から構成される。図に示すように、DCT からの出力と予測メモリにある隣接ブロックの DCT 係数データを用いて、モー

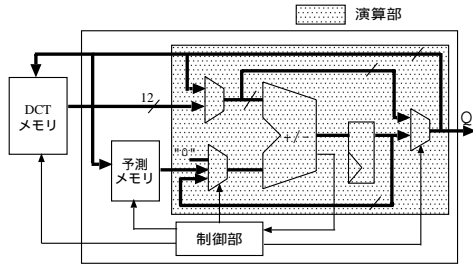


図9 AICモジュールアーキテクチャ
Fig.9 AIC module architecture.

ド判定を行う．まず，DCTメモリと予測メモリからDCT係数データを取り出し，演算部で式(13)，(14)に示すブロック1の第1行と第1列のDCT係数の和 $Hori_sum$ ， $Verti_sum$ を求める．その後，求めた $Hori_sum$ ， $Verti_sum$ の結果とDC成分を用いて，図7に示すアルゴリズムにより差分計算を行う．その結果をもとに予測演算を行う．予測メモリはモード判定用に加算の中間結果も格納するため，18ワードの容量が必要になる．モード判定用のデータの読み込みに16サイクル，予測計算は24サイクルかかるため，1ブロックの処理は合計40サイクルである．

IAIC処理はモードの判定が不要のため，単純な減算器を用いて実装でき，8サイクルのみで処理可能である．

3.2 デブロッキングフィルタ (DF) アーキテクチャ

デブロッキングフィルタモードは，フィルタ演算が全処理過程の大部分を占めるため，その計算をいかに効率良く行うかがアーキテクチャ設計の鍵となる．このフィルタ演算は式(3)～(10)の順で計算するが，それぞれ個別に実行したのでは演算ユニットが数多く必要になり，結果としてハードウェア面積の増大を招く．

本論文では，フィルタの計算式を変形することにより，単純な演算ユニットを繰り返し使用することによって小面積実装を行う．以下にフィルタ演算の詳細を示す．

フィルタ計算では式(3)に示すように，まず d を求める必要があるが，式(3)は以下のように変形できる．

$$\begin{aligned} d &= \frac{A - 4B + 4C - D}{8} \\ &= \frac{(A - D) + 4(C - B)}{8} \end{aligned} \quad (15)$$

この変形により $(A - D)$ の結果を式(5)に示す $d2$ の演算に用いることができる．次に， d の結果を用いた $d1$ の計算を式に示す．

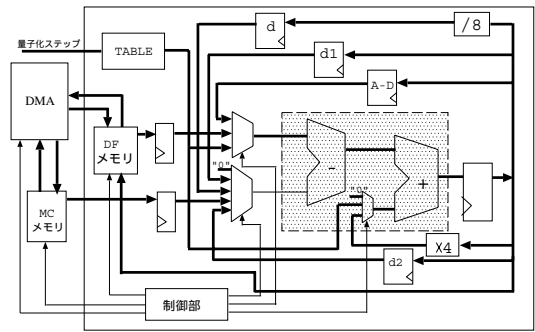


図10 DFモジュールアーキテクチャ
Fig.10 DF module architecture.

$$\begin{aligned} d1 &= UpDownRamp(d, Strength) \quad (16) \\ &= sign(d) * \max(0, |d| \\ &\quad - \max(0, 2(|d| - Strength))) \\ &= sign(d) * \begin{cases} 0 & (|d| > 2Strength) \\ |d| & (0 < |d| < Strength) \\ 2Strength - |d| & (Strength < |d| < 2Strength) \end{cases} \end{aligned}$$

上式においては， $|d|$ と $Strength$ の比較演算と結果の計算が必要となるが， $2Strength - |d|$ の値は以下のように置き換え可能である．

$$2Strength - |d| = Strength - |d| + Strength \quad (17)$$

この変形により，比較演算の結果に加算を行うだけで $2Strength - |d|$ が求まるため，効率の良い演算が可能である． $d2$ の計算には前述したようにすでに求まっている $A - D$ の値を再利用する(式(18))．

$$d2 = \begin{cases} \frac{A-D}{4} & \text{if } \left(\frac{|d|}{2} < \frac{A-D}{4}\right) \\ \frac{|d|}{2} & \text{if } \left(\frac{|d|}{2} > \frac{A-D}{4}\right) \end{cases} \quad (18)$$

最後に d ， $d1$ ， $d2$ を用いて， $A1$ ， $B1$ ， $C1$ ， $D1$ を計算する

$$B1 = Clip(B + d1) = Clip(B - 0 + d1) \quad (19)$$

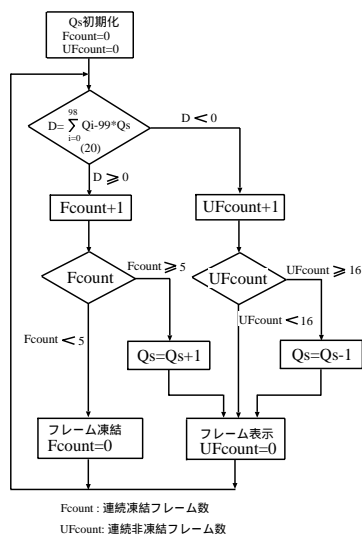
$$C1 = Clip(C - d1) = Clip(C - d1 + 0) \quad (20)$$

$$A1 = A - d2 = A - d2 + 0 \quad (21)$$

$$D1 = D - d2 = D - 0 + d2 \quad (22)$$

式(17)，(19)～(22)は，単純な減算器，加算器の構成で実現可能である．以上の考察によるデブロッキングフィルタモードのアーキテクチャを図10に示す．TABLE部は表1のStrengthを生成する組合せ回路を表す．上記の式の変形により演算モジュールが単純化され，加算器1個と減算器1個から構成可能である．そのフィルタ処理は以下の4段階により処理される．

(1) 制御部は現在符号化しているマクロブロックの



Fcount: 連続凍結フレーム数
UFcount: 連続非凍結フレーム数

図 11 フレーム凍結アルゴリズム

Fig. 11 Proposed frame frozen algorithm for SEI.

位置により、フィルタ処理の必要性を判断する。

- (2) DMA モジュールから、フィルタ処理用の隣接ブロックの画像データを読み込む。
- (3) フィルタ処理を行う。
- (4) 処理後のデータを SDRAM に更新する。

MC のメモリ、新たに設けた予測メモリのアドレス制御は制御部で行う。予測メモリは中間結果 $d, d1, d2$, および $(a-d)/4$ を保持するため 36 ワードが必要となる。データの書き込みには 36 サイクル、演算は 74 サイクルが必要である。したがって、1 ブロックのフィルタ処理は 110 サイクルが必要となる。

3.3 修正量子化モードの実装

このモードはベースラインの制御部および VLC を改良することにより実装する。ステートマシンおよびテーブルの変更等のみで実装可能であるため、本モードの追加によるハードウェアの増加量はわずかである。

3.4 付加拡張情報モード (SEI) アーキテクチャ

このモードは、オプションのレベルが上がると処理内容が複雑になるが、レベル 1 ではフルピクチャ凍結だけをサポートすればよい。フルピクチャ凍結において、復号器側では、指定されたフレームのディスプレイへの出力を停止する機能を実装する。一方、符号器においては、実際にどのフレームを表示するのかを決定する必要がある。

本論文では、図 11 に示す高精度フレーム凍結アルゴリズムを提案する。本アルゴリズムにおいては、図の中の式 (20) が 0 以上で、かつ連続に凍結されたフレームが 5 フレーム以下であれば、そのフレームを凍

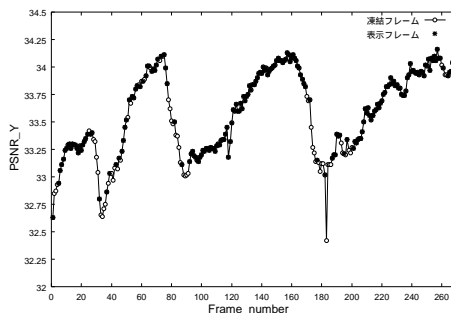


図 12 提案法により表示・凍結するフレーム

Fig. 12 Simulation result of proposed method.

結する。そうでない場合は凍結しない。また、正確に画質劣化フレームを選出するために、図 11 に示すように連続に凍結したフレーム数 $Fcount$ と連続に凍結しないフレーム数 $UFcount$ により Qs の制御を行う。このような適応的 Qs を用ることによって、画質劣化したフレームを正確に凍結することができる。

本アルゴリズムの有用性を検証するため、 Qs の初期値を 25、ビットレートを 19.2 kbps に設定し、Salesman を用いてシミュレーションを行った。本アルゴリズムを適用した結果、270 フレーム中 45 フレームを凍結することにより、平均の PSNR 値が 0.12 dB 向上した。図 12 において、提案法により表示するフレームを黒印、凍結するフレームを白印で示す。フレーム 30, 90, 180 の近辺の PSNR 値の低いフレームが正しく選択できている。提案するアルゴリズムは図 5 に示す CTRL モジュールに小規模の演算回路 (SEI) を付加し、実装する。

3.5 全体制御

本節では本論文で提案するアーキテクチャのコーデック処理の全体フローについて述べる。前述したように、本アーキテクチャの符号化用フレームメモリは 5 フレーム分の容量により実現している。フレームメモリのタイミングチャートを図 13 に示す。

まず、 Vin モジュールからの画像データがフレームメモリに格納される。次の 2 フレーム目の画像入力時に、1 フレーム目の動き補償を行うことも可能であるが、2 フレーム目の画像入力にエラーが発生した場合に復帰処理が複雑となるため、提案アーキテクチャでは、2 フレーム分の入力 (図 13 (1), (2)) が終了してから、第 1 フレーム目に対し、動き補償、DCT からローカルデコードデータの書き戻しまでの一連のブロック単位のパイプライン処理 (以下ブロックパイプライン処理) を行う (図 13 (3))。4GOB 分のブロックパイプライン処理が終了すると動き検出処理に必要

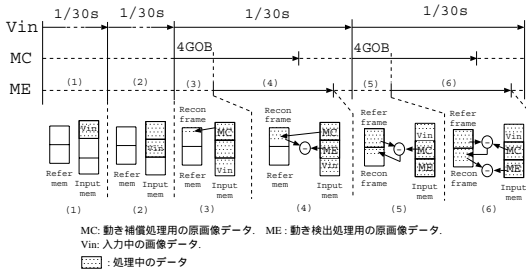


図 13 符号化メモリ制御
Fig. 13 Memory management.

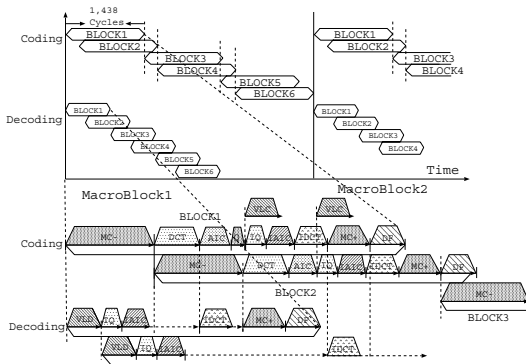


図 14 バイブライン処理
Fig. 14 Block pipeline timing chart.

となる参照画像が揃うため(図 13 (4)),動き検出処理をブロックパイプライン処理と並列に実行する。画像入力,動き補償と動き検出それぞれ1フレーム分の処理がすべて終了してから,次にフレームの処理に移る。

次のフレームの処理に移る際には,画像入力,動き補償,および動き検出処理に使用する原画像のメモリにおける位置を切り替えるのみでよく,本アーキテクチャのメモリ制御は非常に小規模の制御回路により実現可能である。

復号化時には,2フレーム分の復号化用フレームメモリを用意し,それぞれ参照画像用と復号画像用に交互に使用される。

ブロックパイプライン処理のタイミングチャートを図 14 に示す。異なるマクロブロックを並列に処理するには,CTRL モジュールと MC モジュールに 2 つのマクロブロックのデータ情報を格納するレジスタが必要となり,ハードウェア量の増加をもたらす。提案アーキテクチャでは異なるマクロブロックの並列処理を行わないことにより,小面積化を実現する。

ME モジュールはこのブロックパイプライン処理とは独立に,並行して次のフレームの動き検出を行うため,図中には表れない。MC モジュールは,画像の差

表 2 実験結果

Table 2 Implementation result.

	平均 PSNR(dB)		
	Foreman	Akiyo	Salesman
ベースラインのみ	30.44	33.9	32.74
提案手法	31.18	34.42	33.17

表 3 実験結果

Table 3 Implementation result.

	# Trans.*1	#Cycles/blk	Power(mW)
AIC/IAIC	8,508	48	1.72
DF	3,980	110	1.68
SEI	1,016	4	0.51
Others	360,936	1,280	54.34
Total	374,440	1,438	58.25

*1: トランジスタ数は内部 SRAM を含む。
(SRAM1bit=4Trans. と換算)。

分演算 (MC-), およびローカルデコード時の加算演算 (MC+) に共用しており,1 ブロックの処理に 2 度使用されているため,その点をスケジューリング時に考慮する必要がある。復号処理は処理量が少ないため,ローカルデコードの処理の空き時間で処理が可能であるため,符号化処理速度に対する影響は少ない。

提案アーキテクチャではブロックごとでは最大 1,438 サイクルであり,25 M のシステムクロックにおいて QCIF の画像に対して 30 fps 以上,CIF 画像に対して 10 fps 以上のコーデック能力を持つ。

4. 実装結果

提案するレベル 1 の各モードのアルゴリズムを用いた場合の画質評価を行った。その結果を表 2 に示す。この表に示すように提案方法で実装する場合はベースラインのみに比べ,平均 PSNR 値において 0.4 dB ~ 0.7 dB の画質改善が得られる。

ハードウェア記述言語により,提案したアーキテクチャを 0.25 μm CMOS テクノロジーを用いて実装した結果を表 3 に示す。実装結果が示しているように,各レベル 1 モジュールは,8,508 ~ 1,016 のトランジスタときわめて小面積により実現できる。

この提案手法を用いて全体のコーデックを実装した。実装の結果と従来の H.263 (MPEG-4) VLSI^{(10),(11)} の比較を表 4 に示す。消費電力値は Synopsys 社の CAD ツールにより推定した。

表 4 に示すように,提案法ではきわめて小面積,低消費電力のハードウェアを実現した。また,回路レベルの消費電力削減手法を用いることにより,さらなる低消費電力化が可能であると考えられる。レベル 1 オプションに関して,提案した手法により,表 3 に示すよ

表 4 実験結果諸元

Table 4 LSI physical and functional features.

Characteristic	提案法	Nishikawa's ¹⁰⁾	Hashimoto's ¹¹⁾
Technology	0.25- μ m CMOS	0.25- μ m CMOS	0.18- μ m CMOS
Voltage	3.3 V	Inter.:2.5 V, Exter.:3.3V	I/O:2.9 V, Inter.:1.8 V
Clock	25 MHz	60 MHz	54 MHz
No. of Trans.	0.37 M	2.60 M	2 M ^{*2} (Total 31M)
Power Consum.	58.25 mW	106 mW ^{*1}	90 mW(simple@L1)
Exter. SDRAM	16-Mbit	64-Mbit	20-Mbit(on chip)
Performance	44 fps/QCIF	15 fps/QCIF	15 fps/QCIF
	11 fps/CIF		(H.263/simple@L1)

*1: 文献 10) の Figure 14.1.1 の Logic&SRAM の消費電力中 59%を画像処理部と推定し算出 .

*2: 文献 11) のチップ写真の面積比から, ロジック部のトランジスタ中 20%を画像処理部と推定し算出 .

うにベースラインに比べて, わずか 3.7%の回路増加によって実現できた .

5. 結 論

本論文は H.263 Version2 レベル 1 オプションの VLSI アーキテクチャを提案し, その実装結果を示した . レベル 1 オプションに対し, 最適なハードウェアアルゴリズムを考案することにより小面積化を実現している . 拡張 INTRA 符号化モード, デブロッピングモード, 修正量子化モード, および付加拡張情報モードを実現する各モジュールは 8,508 ~ 1,016 個のトランジスタを使用するだけであり, きわめて小面積で実現でき, コーデック全体の面積を抑えることができる . 提案するアーキテクチャは 25 MHz 動作時に 30 fps/QCIF 以上という十分な処理能力を実現しており, 小面積, 低消費電力が要求される携帯端末への応用に期待できる .

参 考 文 献

- 1) ITU-T Recommendation H.263: Video coding for low bitrate communication, *International Standard* (Feb. 1998).
- 2) ITU-T Recommendation H.324: Terminal for low bitrate multimedia communication, *Draft International Standard* (Nov. 1995).
- 3) Golston, J.: Signal-chip H.324 video conferencing, *IEEE Micro*, Vol.16, No.4, pp.21-33 (Aug. 1996).
- 4) Brinthaup, D., Knoblock, J., Othmer, J., Petryna, B. and Uyttendaele, M.: A programmable audio/video processor for H.320, H.324 and MPEG, *IEEE ISSCC Digest of Technical Papers*, pp.244-245 (Feb. 1996).
- 5) Slavenburg, G.A., Rathnam, S. and Dijkstra, H.: The trimedia TM-1 PCI VLIW media processor, *Proc. IEEE Hot Chips VIII*, pp.179-191 (Aug. 1996).
- 6) Holmann, E., Yoshida, T., Yamada, A. and

- Shiamzu, Y.: VLIW processor for multimedia applications, *Proc. IEEE Hot Chips VIII*, pp.193-202 (Aug. 1996).
- 7) Okamoto, K., Jinbo, T., Araki, T., Iizuka, Y., Nakajima, H., Takahata, M., Inoue, H., Kurohmaru, S., Yonezawa, T. and Aono, K.: A DSP for DCT-based and wavelet-based video CODEC's for consumer applications, *IEEE Journal of Solid-State Circuits*, pp.460-467 (Mar. 1997).
- 8) Naito, Y. and Kuroda, I.: H.263 mobile video codec based on a low power consumption digital signal processor, *Proc. IEEE ICASSP*, pp.3041-3044 (May 1998).
- 9) Miki, M.H., Fujita, G., Onoye, T. and Shirakawa, I.: Low power implementation of H.263 codec core dedicated to mobile computing, *IEICE Trans. Fundamentals*, Vol.J81-A, No.10, pp.1352-1361 (Oct. 1998).
- 10) Nishikawa, T., Takahashi, M., Hamada, M., Takayanagi, T., Arakida, H., Machida, N., Yamamoto, H., Fujiyoshi, T., Matsumoto, Y., Yamagishi, O., Samata, T., Asano, A., Terazawa, T., Ohmori, K., Shirakura, J., Watanabe, Y., Nakamura, H., Minami, S., Kuroda, T. and Furuyama, T.: A 60 MHz 240 mW MPEG-4 video-phone LSI with 16 Mb embedded DRAM, *ISSCC Digest of Technical Papers*, pp.230-231 (Feb. 2000).
- 11) Hashimoto, T., Kuromaru, S., Matsuo, M., Kohashi, Y., Mori-iwa, T., Ishida, K., Kajita, S., Ohashi, M., Toujima, M., Nakamura, T., Hamada, M., Yonezawa, T., Kondo, T., Hashimoto, K., Sugisawa, Y., Otsuki, H., Arita, M., Nakajima, H., Fujimoto, H., Michiyama, J., Lizuka, Y., Komori, H., Nakatani, S., Toida, H., Takahashi, T., Ito, H. and Yukitake, T.: A 90 mW MPEG-4 video codec LSI with the capability for core profile, *Proc. ISSCC Digest of Technical Papers*, pp.142-143 (Feb. 2001).
- 12) Cote, G., Erol, B. and Kossentini, F.: H.263+

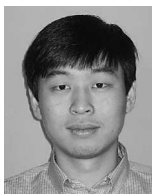
- video coding at low bit rates, *IEEE Trans. Circuits and Systems for Video Technology*, Vol.8, No.7, pp.849–866 (Nov. 1998).
- 13) Koga, T., Iinuma, K., Hirano, A., Iijima, Y. and Ishiguro, T.: Motion-compensated interframe coding for video conferencing, *Proc. National Telecommunication Conference*, pp.G.5.3.1–G.5.3.5 (Nov. 1981).
- 14) Chen, M.C. and Willson Jr., A.N.: A high accuracy predictive logarithmic motion estimation algorithm for video coding, *Proc. IEEE Int'l Symp. Circuits and Systems*, pp.617–620 (May 1995).
- 15) Tominaga, H., Komatsu, N., Miyashita, T. and Hanamura, T.: A motion detection method on video image by using hierarchical pixels, *IEICE Trans. Information System*, Vol.J72-D-II, No.3, pp.395–403 (Mar. 1989).
- 16) Kim, Y., Rim, C.S. and Min, B.: A block matching algorithm with 16:1 subsampling and its hardware design, *Proc. IEEE Int'l Symp. Circuits and Systems*, pp.613–616 (May 1995).
- 17) Fujita, G., Onoye, T. and Shirakawa, I.: A VLSI architecture for motion estimation for H.263 video coding, *IEICE Trans. Electronics*, Vol.E81-C, No.5, pp.702–707 (Nov. 1998).
- 18) Uramoto, S., Inoue, Y., Takabatake, A., Takeda, J., Yamashita, Y., Terane, H. and Yoshimoto, M.: A 100 MHz 2-D discrete cosine transform core processor, *IEEE Journal of Solid State Circuits*, Vol.27, No.4, pp.492–499 (Apr. 1992).
- 19) Matsui, M., Hara, H., Uetani, Y., Kim, L.S., Nagamatsu, T., Watanabe, Y., Chiba, A., Matsuda, K. and Sakurai, T.: A 200 MHz 13mm^2 2-D DCT macrocell using sense-simplifying pipeline flip-flop scheme, *IEEE Journal of Solid State Circuits*, Vol.29, No.12, pp.1482–1490 (Dec. 1994).
- 20) Masaki, T., Morimoto, Y., Onoye, T. and Shirakawa, I.: VLSI implementation of inverse discrete cosine transformer and motion compensator for MPEG 2 HDTV video decoding, *IEEE Trans. Circuits and Systems for Video Technology*, Vol.5, No.5, pp.387–395 (Oct. 1995).
- 21) Katayama, Y., Kitsuki, T., Yokoyama, Y. and Ooi, Y.: A DCT/IDCT architecture for MPEG-2 video encoder LSI, *Proc. 1997 Electronics Society Conference of IEICE, C-12-28* (Mar. 1997).
- 22) Fujita, G., Onoye, T. and Shirakawa, I.: VLSI implementation of DCT/IDCT core for H.263 video coding, *Proc. 1997 Electronics Society*

Conference of IEICE, C-12-28 (Sept. 1997).

- 23) ITU-T Standardization Sector of ITU: Video codec test model near-term version8 (TMN 8), Release 0, *H.263 Ad Hoc Group* (June 1997).

(平成 13 年 9 月 25 日受付)

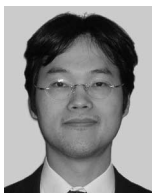
(平成 14 年 3 月 14 日採録)



宋 天 (学生会員)

昭和 48 年生 . 平成 7 年中国大連理工大学電子工学科卒業 . 平成 13 年大阪大学大学院博士前期課程修了 . 現在同大学院博士後期課程在学中 . 動画像符号化アルゴリズムおよびその

の VLSI 化設計に関する研究に従事 . IEEE , 電子情報通信学会各会員 .



藤田 玄

平成 7 年大阪大学工学部情報システム工学科卒業 . 平成 9 年同大学大学院博士前期課程修了 . 同年同大学院後期課程退学 , 同大学助手 . 現在に至る . 動画像符号化用 VLSI の設計に関する研究に従事 . IEEE , 電子情報通信学会 , 映像情報メディア学会各会員 .

設計に関する研究に従事 . IEEE , 電子情報通信学会 , 映像情報メディア学会各会員 .



尾上 孝雄 (正会員)

平成 3 年大阪大学工学部電子工学科卒業 , 平成 5 年同大学大学院博士前期課程修了 . 同年同大学助手 , 平成 10 年同大学講師 , 平成 11 年京都大学助教授を経て , 平成 14 年より

大阪大学助教授 . 博士 (工学) . メディア処理向け組み込みシステムのアーキテクチャ , 設計および実装 , 低消費電力化設計等に興味を持つ . IEEE , ACM , 電子情報通信学会 , 映像情報メディア学会各会員 .



白川 功 (正会員)

昭和 38 年大阪大学工学部電子工学科卒業 . 昭和 43 年同大学大学院博士課程修了 . 同年同大学助手 , 昭和 48 年同大学助教授 , 昭和 62 年同大学教授 . 現在に至る . グラフ理論 ,

VLSI の CAD 算法 , システム VLSI の設計に関する研究等に従事 . 工学博士 . 電子情報通信学会フェロー , IEEE フェロー , ACM , 映像情報メディア学会各会員 . 著書「演習グラフ理論」(共著 , コロナ社)等 .