

論理シミュレータBINALYにおける

7U-6

テストパターン切り出し機能

横関 敦 長谷川 彰 大西 洋一 村上 道郎  
 沖電気工業株式会社 超LSI開発センター

1. はじめに

ロジックLSI設計においては、シミュレーションおよびテストで使用するテストパターン作成の工数が大きく、これが設計TAT短縮のボトルネックの1つとなっている。弊社の論理シミュレータBINALY<sup>[1]</sup>には、シミュレーション結果を利用して、テストパターンを作成する機能(テストパターンの切り出し機能)があり、設計TATの短縮に効果を上げている。本稿では、このテストパターン切り出し機能について述べる。

2. 概要

テストパターン切り出し機能とは、回路全体のシミュレーション結果から回路内部のブロックのテストデータを作成するものである。

パターン作成時には、入力の遅延、出力のストロープのタイミングを考慮して切り出すことができる。

また、テストのタイミングジェネレータに対応した波形の変調データ(波形整形データ<sup>[2]</sup>)を作成するので、LSIテストとの親和性の高いテストパターンが得られる。

3. 処理フロー

テストパターンの切り出しの処理フローを Fig.1 に示す。まず、複数のブロックを含んだ回路全体のシミュレーションを行う。このシミュレーションで作成されたシミュレーション結果ファイルは、回路内部のすべての端子の状態変化を保持している。テストパターン切り出し機能は、シミュレーション結果ファイルと、内部ブロックの端子、周期、各端子の切り出しタイミ

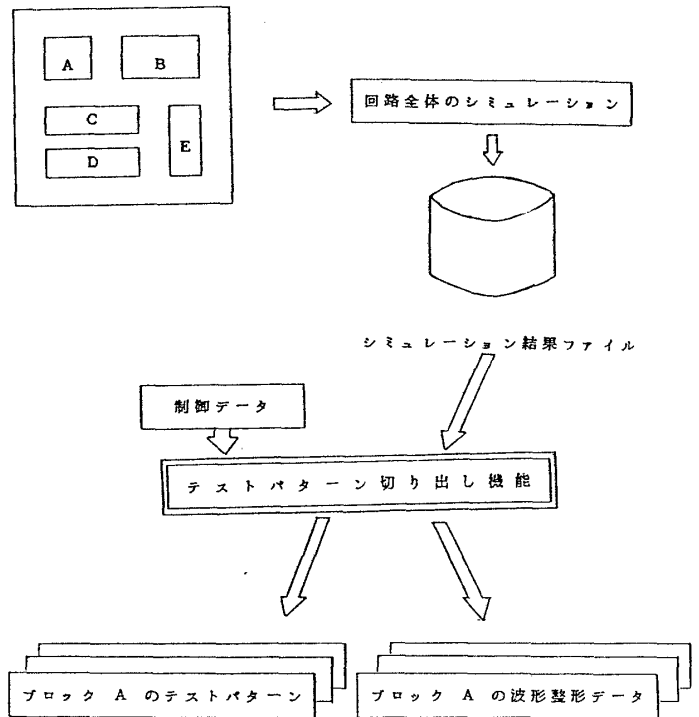


Fig. 1 処理フロー

ング等が指定された制御データをもとに、内部ブロックのテストパターンと波形整形データを自動生成する。

各ブロックの制御データを用意すれば、1回のシミュレーションで各々のブロックのテストパターンと波形整形データを求める事ができる。

4. 機能

本機能の主な特徴は、

- (1) 回路全体のシミュレーション結果より、回路内部の任意のブロックのテストパターンを、制御デー

タを変更するだけで、自動生成できる

- (2) テスタのタイミングジェネレータに対応した、波形整形データを自動生成できる

である。

特に、波形整形データを用いた場合、テストパターンを Fig. 2 に示すように、NRZ, RZ, XOR 等のモードで波形整形を行う事ができるため、LSI テスタとの親和性の高いものにする事ができる。

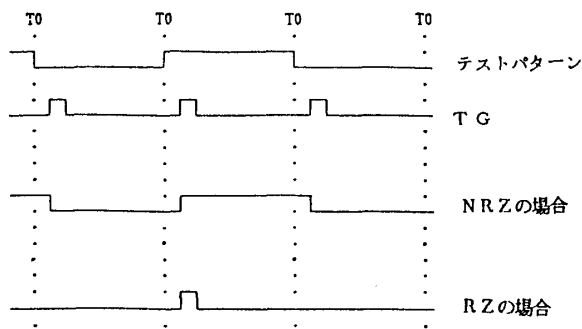


Fig. 2 波形整形データでの変調

さらに、制御データで以下の事ができる。

- (i) 周期の変更

回路によっては、発振器を内蔵して、分周したパルスブロックのクロックとして設計をする場合がある。このように、回路全体の周期と切り出すブロックのクロック周期が違う場合でも変更して切り出す事ができる。

- (ii) タイミングの変更

回路によっては、遅延があるために、サイクルの開始時刻 ( $T_0$ ) では、テストパターンを切り出す端子の入出力の状態値が確定していない場合がある。このような場合、端子毎に遅延を考慮したタイミングで切り出す事ができる。

- (iii) マスク処理

回路によっては、回路のイニシャライズが終了するサイクルまで、テストは不要な場合がある。このような場合、端子毎に Don't care として切り出す事ができる。

- (iv) 状態値の変更

シミュレーション結果からテストパターンを作成すると、入出力共用端子での信号の衝突 (コンフリクト) や、LSI テスタで扱えない信号値 (注1) が切り出される。これらのチェックを行い必要に応じて変更する事ができる。

- (注1) 例:  $\left. \begin{array}{l} \text{論理値 } 0 \rightarrow 1 \\ \text{論理値 } 1 \rightarrow 0 \end{array} \right\} \begin{array}{l} \text{への変換状態値} \\ \text{への変換状態値} \end{array}$   
ハザード、レーシング等のエラー状態値

## 5. 適用法

- (1) 複数の LSI を含むシステムを設計する場合、システム全体でシミュレーションを行い、その結果より個々の LSI に対してテストデータを作成する。本方法を用いる事で、個々の LSI に対してテストデータを作成する必要性から解放され、テストデータ開発の TAT を短縮することができる。
- (2) 機能設計までをトップダウンでおこない、ブロックの機能を決めした後、個々のブロックをトランジスタからボトムアップで作成していく設計手法においては、個々のブロックのテストパターンを本機能を用いて作成できるので、レイアウト後のブロックの機能検証に必要なテストパターンを準備する必要がなくなる。

## 6. おわりに

BINALLY のテストパターン切り出し機能は、32 ビットの LISP マシンや、30 kG 程度の 32 ビットマイクロプロセッサ等の LSI の設計に使用されている。今後は、より一層の機能の向上を図る予定である。

## 参考文献

- [1] Hirakawa et al., "LOGIC SIMULATION FOR LSI" 19th DAC
- [2] 長谷川他 論理シミュレータ BINALLY における波形整形機能  
情報処理学会第 35 回全国大会