

7U-1 入力遷移制限付2パターンテストによる 組合せ回路の遅延テストについて

池田 光二, 林 照峯, 畠山 一実

(株)日立製作所 日立研究所

1. はじめに

組合せ回路の遅延故障を検出するための遅延テストパターンは少なくとも1つの信号変化を含むことが必要である。したがって、一つの遅延テストパターンは信号変化前と信号変化後の2つの入力パターン対(これを2パターンテストと呼ぶ)として表すことができる。外部入力パターンの状態を自由に遷移させることができる場合には任意の2パターンテストを実現できるので、遅延故障の故障検出率を縮退故障の故障検出率と同等のレベルにまで高めることが可能である。しかし、組合せ回路の外部入力パターンが実際にはスキャン機能付レジスタやLFSR等の出力信号によって供給されている場合には、外部入力パターンの遷移が限定されるため、2パターンテストの遅延故障検出能力は一般に低下する。本文では、この場合の故障検出能力の低下について議論するとともに、遅延故障検出能力の低下が少ないようなスキャン構造と遅延テスト方式を議論する。

2. 遅延故障と故障検出条件

(1)遅延故障 : 論理回路上の信号線の立上り遅延故障(slow-to-rise fault, R故障と略す)と立下り遅延故障(slow-to-fall fault, F故障と略す)を扱う。ここで、故障時には正常時よりも十分識別可能な程度に遅延時間が大きくなるものとし、遅延時間の絶対値については議論しない。したがって、故障検出するかしないかの計算には、上記故障の代りにこれらの最悪ケースである非立上り故障(not-rising fault)と非立下り故障(not-falling fault)を用いることができる。

(2)遅延故障の検出判定 : 文献[1]の"simple"モードで検出判定を行う。すなわち、ある信号線 p のR故障(またはF故障)は、それぞれその信号線 p を0(または1)にする外部入力パターン v_1 と、 p の0縮退故障(または1縮退故障)を検出する外部入力パターン v_2 から成る2パターンテスト $V = v_1 \cdot v_2$ によって検出される。

[性質1] 組合せ回路のある信号線 p のR故障(またはF故障)を検出する2パターンテストは、 p の0縮退故障(または1縮退故障)を検出する。また、組合せ回路のあ

る信号線 p のR故障(またはF故障)が検出可能であれば、 p の0縮退故障(または1縮退故障)は検出可能である。

[性質2] 組合せ回路 C に対して、原理的に到達可能な最大の遅延故障検出率 $PD_{max}(C)$ と原理的に到達可能な最大の縮退故障検出率 $PS_{max}(C)$ の間には、 $PD_{max}(C) \leq PS_{max}(C)$ の関係が成り立つ。また、組合せ回路 C の外部入力パターンの状態遷移が自由で、かつ、0または1レベルに固定される信号線が存在しない場合には、 $PD_{max}(C) = PS_{max}(C)$ である。

3. 入力遷移制限付2パターンテストの能力

図1で示す簡単な組合せ回路を例に、その外部入力ピン PI_1, PI_2, PI_3 の信号がそれぞれ(a)シフトスキャン・レジスタ、(b)変形(ビットセット・バイトリセット)アドレススキャン・レジスタ、(c)LFSRから供給されている場合について、 PD_{max} を調べる。そうすると、(a)が81%(図1参照)、(b)が63%、(c)が63%となる。一方、入力遷移が制限されないときには $PD_{max} = 100\%$ である。また、入力遷移の制限の有無にかかわらず $PS_{max} = 100\%$ である。

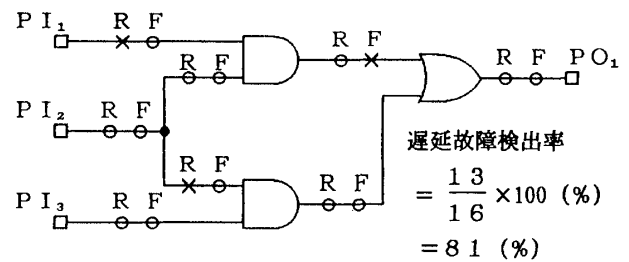


図1. 遅延故障検出能力(シフトスキャンのとき)

この例からもわかるように、入力遷移が制限されているときには故障検出能力の高い遅延テストを行えないことがある。このことは、スキャン方式やBIST(built-in self test)が縮退故障検出に関するテスト容易化には有効であるが、遅延故障検出に関するテスト容易化という意味では必ずしも十分でないことを示している。

4. 遅延故障検出能力向上の検討

ここでは、入力遷移の制限があっても原理的に高い遅延故障検出率を達成できる方式を述べる。

(i) 1ピン変化方式

この方式は組合せ回路の外部入力ピンのうち同時に複数個は変化しないという制限だけを持つ2パターンテストで遅延テストを行うものである。この制限は2パターンテスト $V = v_1 \cdot v_2$ に対して、 $d(v_1, v_2) = 1$ で表すことができる。ここで、 d はハミングの距離を表す。すべてのラッチが異なるアドレスをもつアドレススキャン方式や、スキャンバス方式(文献[2])は任意の1ピン変化型2パターンテストを容易に作成できるので、この目的に使用できる。

もし、「0または1レベルに固定される信号線をもたない任意の組合せ回路Cに対して、外部入力パターンの状態遷移を1ピン変化に制限した場合でも、 $PD_{max}(C) = PS_{max}(C)$ である」という命題が真であるなら、1ピン変化方式の制限が本質的な遅延故障検出能力の低下とならないため、入力遷移に制限がない場合と同等の遅延テストを行うことができる。残念ながら、図2の反例からわかるように、この命題は真ではない。しかし、この命題に違反するのは冗長回路部分を含む場合などかなり特殊な場合であり、1ピン変化方式はほとんどの場合にかかなり高い遅延故障検出率を達成できる。

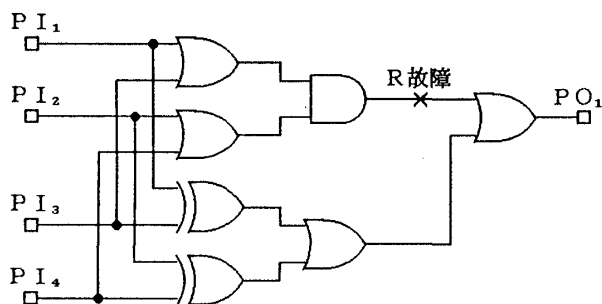


図2. 1ピン変化方式で検出できない遅延故障の例

(ii) 隣接出力のないシフトスキャン構造

この方式は組合せ回路の外部入力ピンからの自由な状態遷移を可能にするため、図3の例で示すように組合せ回路のどの外部入力ピンも、互いにシフト位置の隣合うフリップフロップ(またはラッチ)からの信号でないようにしたものである。これによって、外部入力ピンの自由な状態遷移を可能にしている。ただし、このようにすると、フリップフロップ数が増えたり、フリップフロップの増大を抑えようとする実装上離れた位置にフリップフロップが置かねばなくなることがあり、実用上は好ましくないことがある。また、LFSRで擬似乱数

を発生させ遅延テストを行う場合には、やはり状態遷移が限定されたままであるという問題がある。

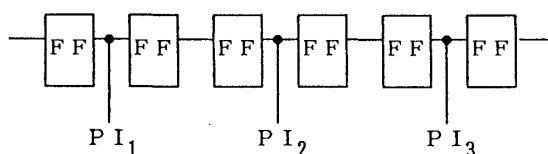


図3. 外部入力遷移が制限されないシフトスキャン構造

その他にもいろいろな方法が考えられるが、結局、状態遷移の制限をなくすか、あるいは、遅延テスト能力の低下が少ない制限のみで済ませることに帰着される。

5. 遅延テストの1方式

前章で述べたような方法によって、遅延故障検出能力を高めることができればよいが、現実に前章のような方法を採用できない場合もある。その場合にも高い故障検出率を達成する方法として以下のような2段階法が考えられる。

(S1) 外部入力の状態遷移を考慮しながら、組合せ回路モデルで遅延テストパターンを自動生成する。

(S2) 未検出となった遅延故障に対して、文献[3]の方法で遅延テストパターンを自動生成する。

6. おわりに

本論文では、外部入力パターンの状態遷移が制限されている場合の遅延テスト能力と、能力低下を抑える方法の例を述べた。入力遷移の制限はスキャン方式やBISTにおいては必然的に現れるものであり、テスト容易化構造を利用して遅延テストを行う場合には当然考慮されなければならない事項である。また、このような考慮をした上でなおかつ、遅延テストを縮退故障のためのテストと同等の労力で行えるようにすることが必要である。また、そのためには外部入力の遷移制限を考慮した組合せ回路の遅延テストパターン自動生成手法や、遅延テストに適したテスト容易化設計法、および、これに基づく遅延テスト方式などのよりよい方法を検討していく必要がある。

【参考文献】

- [1] M.H.Schulz et al. "Accelerated Transition Fault Simulation", 24th DA Conf. (1987)
- [2] S.Kuboki et al. "A 4k CMOS Gate Array with Automatically Generated Test Circuits", IEEE J. Solid-State Circ. (1985)
- [3] 林, 島山, 森脇 "論理LSI用ディレイ・テスト生成システム", 情報学会論文誌, Vol.27, No.7 (昭61)