

PROCEED-LSE

4U-10 論理シミュレーション専用エンジン

田中利明 皆川達哉 横井貞明 磯部勝芳 野水宣良 中田登志之
(日本電気株式会社)

1. はじめに

VLSIの設計での誤りを無くすためには、論理検証が必要不可欠であり、ソフトウェア論理シミュレータ(PROCEED-SIM)の開発を行った。しかしながら、論理シミュレーションは膨大な計算時間を必要とするため、回路規模の増加に伴いシミュレーション時間が増大してきている。

このため論理シミュレーション専用エンジン(LSE)の開発を行いシミュレーション時間の大幅な短縮を行ったので報告する。

2. LSE概要

LSEは、図1に示すように、システム全体を制御するホストプロセッサ(HP)、シミュレーション制御を行うコントロールプロセッサ(CP)及び論理シミュレーションを実行するシミュレーションプロセッサ(SP)より構成され、各々のプロセッサはシステムバス(S-Bus)を介して接続されている。

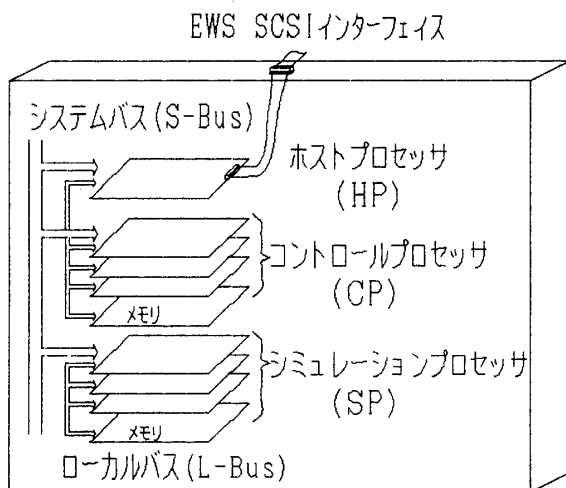


図1 ハードウェア構成

HPでは、68000CPUを使用しており、SCSIインターフェイスでEWSと接続され、データの転送及びシミュレーション全体の制御を行う。

CP及びSPでは、高速化のためにビットスライス型のマイクロプロセッサを複数個使用しており、150nsecのサイクルタイムで動作可能である。更に、シミュレーション・プログラム(ファームウェア)の各ステップでの実行処理を多くするために、専用の周辺ハードウェアを開発した。また、S-Bus上でのイベント通信のオーバーヘッドを少なくするため、FIFOを使用して各プロセッサ間の通信を行っている。

表1及び表2は、各々HP、CP及びSPの構成を示す。このうち、CP上のDRAMは、HPからローカルバス(L-Bus)経由でアクセスできる。また、ダブルバッファとして動作可能な様に設計されており、SCSIインターフェイスを通して、EWSとの間での高速な入出力データ転送が可能である。

表1 HPの構成

マイクロプロセッサ	68000
基本クロック	6.6MHz
DMAC	68450
SCSI	320KB/S
メモリ	ROM: 128KB RAM: 64KB

表2 CP及びSPの構成

マイクロプロセッサ	29117
シーケンサ	2910
基本クロック	6.6MHz
メモリ	DRAM: 8MB SRAM: 16KB

3. データ構造

LSEでは、イベントドリブントイムマッピング方式を用いており、SPにロードされる各エレ

メント毎のシミュレーションデータは、図2に示す様に、エバリュエーション・パート（EVパート）、タイムホイール・パート（TWパート）及びファンアウトリスト・パート（FOLパート）の3つの部分より構成されている。

EV パート	TW パート	FOL パート
-----------	-----------	------------

図2 データ構造

EVパートには、入力状態値、イベントリスト及びエレメントの種類が含まれており、イベント発生時に評価を行うために使用される。また、TWパートには、各エレメント毎のライズ/フォールのディレイ値が設定されていて、タイムホイール上へのイベントの登録に使用され、FOLパートには各エレメントの接続先が格納されている。

これらのデータを用いることにより、タイムホイールからのイベントの取り出し、シミュレーション評価、接続先エレメントのタイムホイールへのイベントの登録を実現している。

4. シミュレーション方式

EWSで作成された入力パターンデータ及びシミュレーションデータは、SCSIを經由してHPの制御により、各々CP及びSPにロードされる。ロード終了後、実行制御はHPからCPに移り、CPの制御のもとでSPがシミュレーションを実行する。このため、高速なシミュレーションが可能である。更にCPでは、シミュレーション終了監視を行って、終了タイムスロットに達したら制御を再びHPに戻す。

シミュレーション時にCPは、各タイムスロットでの入力パターンをイベントとしてSPに転送し、またシミュレーション結果をHP経由でEWSへ転送する。

ロードされたシミュレーションデータに基づくSPでのシミュレーション処理は、図3に示す様に、各タイムスロットを更にレベル0からレベル3の4段階に分割して実行される。

レベル0は、各タイムスロットの開始処理であり、タイムスロットカウンタのインクリメント、入力パターンの投入、及びタイムホイールからのイベントの取り出しを行う。

レベル1では、ゼロディレイ素子の評価とイベントの伝播をイベントが収束するまで行う。

レベル2では、トランスファー・スイッチ素子の処理を行う。この結果、ゼロディレイ素子へイベントが登録されたら、レベル1の処理が繰り返

される。

レベル3では、TWパートに記述されているディレイ値に基づいて、ディレイ素子の評価及びタイムホイールへのイベント登録を行う。

この様に、各タイムスロットを分割して、各レベル毎に処理しているため、評価順序に無関係に同一のシミュレーション結果が得られる。

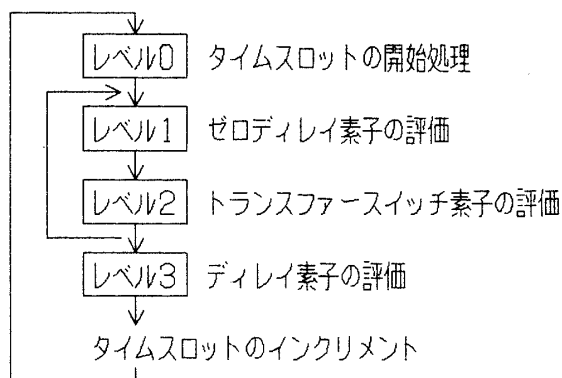


図3 シミュレーション処理

5. シミュレーション速度の評価

今回開発を行ったLSEの性能評価のために、7,000エレメントより構成される回路を用いて、7,500入力パターンでのシミュレーション時間の測定を行った。

この結果、図4に示す様に、EWS上のソフトウェア論理シミュレータ（PROCEED-SIM）に比べて約17倍高速である事が確認できた。

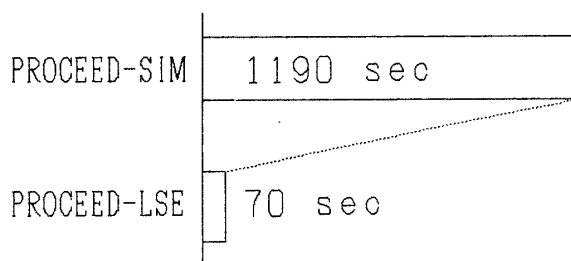


図4 シミュレーション時間の比較

6. おわりに

以上述べた様に、今回開発した論理シミュレーション専用エンジン（LSE）により、シミュレーション時間の大幅な短縮が可能となった。また、本システムは現在、実用段階に入り、G/A設計に適用されている。