

4U-2

機能論理統合設計支援システムに関する検討

開発 貴久¹ 黒澤 雄一¹ 西尾 誠一¹ 竹沢 寿幸² 白井 克彦²
¹(東芝 総合研究所) ²(早稲田大学 理工学部)

1. はじめに

LSIの設計効率の向上を目的として、RTレベルのハードウェア記述を入力として論理設計を行う論理合成システムの研究が盛んであり、この分野では、ほぼ実用レベルのシステムが出現してきている。今後は一層の効率向上を目指し、機能設計段階からの設計を支援する機能論理統合設計支援システムの実現が望まれている。

ここで対象とする、機能設計は特に熟練設計者の知的作業を必要とする分野であり、設計選択の探索範囲も広い。このため、対象を特定のアーキテクチャに固定するといった限定なしには、仕様記述から設計者の意図する論理回路を完全に自動生成することは困難である。そこで、設計者がデータパス構造と制御情報(以上をRT情報と呼ぶ)の生成過程に任意の時点で介入でき、指示を与えられる機構が必要となる。また、設計者がシステムに指示を与える際に、決定の妥当性や決定への指針となる情報を設計者に提供する評価解析ツールの充実も必要である。以上の事から、我々は図1に示すシステム構成を目指していくことを考えている。このシステムでは、設計者の要求に応じ、適切な評価解析ツールが呼ばれ、設計者の決定を支援する情報を提供する。例えば面積、スピードの見積りについては、必要とされる見積り精度に応じて論理合成まで行ない、その結果をRT情報の最適化にフィードバックさせることも可能である。

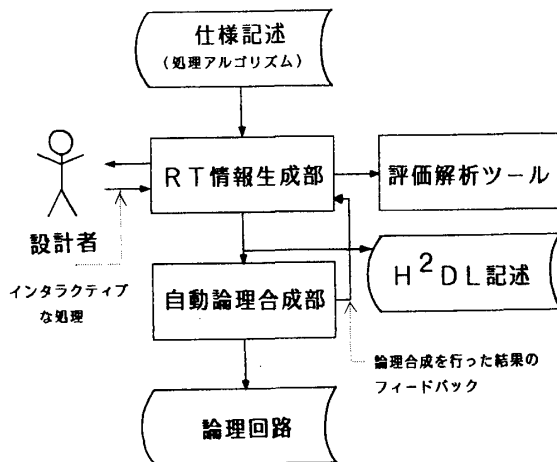


図1 システムの構想

本論文では、この様な機能論理統合設計支援システムへのアプローチとして、まず、アルゴリズムによる仕様記述を入力としてRTレベルの情報を合成する高位レベル合成システムと論理合成システムを統合した実験システムを構築し、その結果について報告する。

2. 実験システムの概要

今回作成した実験システムは、Pascal記述からRT情報を合成する高位レベル合成システム[1]と、RTレベルのハードウェア記述言語H²DLによる記述から論理回路を合成する自動論理合成システム[2]とを統合したものである。統合は、生成されたRT情報をH²DL記述に変換することによって行った。

```

program SUM( n );
type integer = unsigned bit 8;
input n : integer;
output o : integer;
var j : integer;
    s : integer;
begin
  s := 0;
  for j := 1 to n do begin
    s := s + j;
  end;
  o := s;
end.

```

図2 仕様記述の例

図2にPascalで記述した仕様記述の例を示す。これは、整数Nを入力して、1からNまでの総和を求めて出力する回路を記述したものである。図2の記述を入力して生成されたH²DL記述を図3に、最終的に得られた論理回路を図4に示す。

3. 考察

機能設計においては、多くの可能性を考慮しなければならないが、今回の実験システムでは、接続することをまず目的としたため、生成されるRT情報は、並列度を最大とする等の固定化を行っている。

この実験の結果、対象を限定すれば、比較的小規模のアルゴリズムから直接専用回路の自動合成が行えることは確認できた。しかし、考慮すべき課題も数多く洗い出された。代表的なものを以下に述べる。

①入出力データの制御方法の生成

Consideration of Integrated High Level Synthesis CAD System

Takahisa KAIHOTSU,¹ Yuichi KUROSAWA,¹ Seiichi NISHIO,¹ Toshiyuki TAKEZAWA,² Katsuhiko SHIRAI²

¹Toshiba Corporation²Waseda University

一般に、高位レベル合成においては、モジュール外部とのデータの授受の制御方法に関する考慮はなされていない。このため今回の実験においては、『入力データ（図2中のn）は、処理開始から完了までの期間たえず入力されており、出力データ（図2中のo）は、処理完了から次の処理開始までの期間たえず出力する。』という簡単な制御方法を仮定し、RT情報に反映する機構を追加した。しかし、将来的にはハンドシェイク方式等の典型的な入出力データの制御方式を、何種類かテンプレートとして用意し、設計者が適宜選択できるようにすることが望ましい。また、さらに設計者が仕様記述の時点で、これを陽に意識して記述したい場合もあり、仕様記述言語の仕様拡張も必要となろう。

```

<INTS> SUM;
<IN>
  CLOCK,
  EXEC,
  RESET,
  N< 0 : 7 >;
<OUT>
  FIN,
  O< 0 : 7 >;
<REG>
  S< 0 : 7 >,
  J< 0 : 7 >;
<TER>
  FAD10< 0 : 7 >,
  FAD1A< 0 : 7 >,
  FAD1B< 0 : 7 >,
  FIN10< 0 : 7 >,
  FIN1A< 0 : 7 >;
<STC>
  O=S;
<ENDSTC>;

<STT> SUM_B: CLOCK;
B0002:
  IF GT(J,N)
    THEN FIN=1;
    NEXT INIT;
  ELSE FIN=0;
  S=FAD10;
  FAD1A=S;
  FAD1B=J;
  J=FIN10;
  FIN1A=J;
  NEXT B0002;
ENDIF;
INIT:
  IF EXEC==1
    THEN S=0;
    J=1;
    FIN=0;
    NEXT B0002;
  ELSE FIN=1;
  NEXT INIT;
ENDIF;
<ENDSTT>;
<EXC> RESET;
NEXT SUM_B. INIT;
<ENDEXC>;
<STC>
  FAD10=ADD(FAD1A, FAD1B, 0);
  FIN10=INC(FIN1A);
<ENDSTC>;
<ENDINTS>;

```

図3 図2の記述から生成されたH²DL記述

②システム制御信号の生成

システム制御信号に関しても、一般の高位レベルの合成では、あまり考慮されていない。今回の実験では、処理の起動信号、リセット信号、処理終了信号、さらにクロック信号（それぞれ図3中のEXEC、RESET、FIN、CLOCK）等をRT情報生成部で自動生成するように機能追加を行ったが、これについても①同様に設計者の選択や仕様記述上での記述を可能としておく必要がある。

③同一演算器による動作の抽出

一般にRTレベルの言語では、記述中の複数箇所に表れた加減算等のシステム関数・オペレータに対し、例え

ば記述中のどの加算とどの加算を同じ加算器で実現するかということを陽に表現することはできない。これに対し、高位レベル合成においては、どの演算がどの演算器で実行されるのかを明確に対応付けている。このため、今回の実験においては生成されたRT情報からH²DL記述に変換する際に同一演算器による動作は、一つの文にまとめる処理を行っている（図3④）。これについては、今後RTレベル言語の仕様拡張を行っていく必要がある。

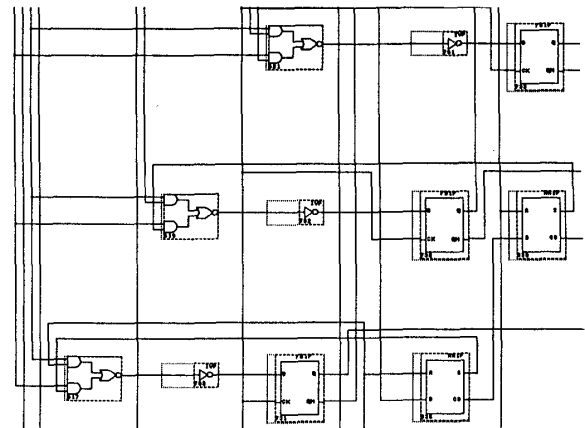


図4 図3の記述から合成された論理回路

4. おわりに

本実験システムにより、機能論理設計を統合して扱うシステムの可能性が確認された。設計者が初心者であり、対象が専用回路であれば、この実験システムのアプローチでも有効であろう。しかし、熟練設計者の要求は多様であり、意図する回路のイメージ、アーキテクチャを完全に自動生成することは困難である。そこで、設計者がRT情報の生成過程に任意の時点で介入でき、指示を与える機構が必要となる。また、そのインタラクションにおいては、設計者に対して決定の妥当性や決定への指針となる情報を提示するツールが不可欠である。

今後は、上述のインタラクティブな処理の実現方法と評価解析ツールとして何が必要かの検討を行い、それらを整備していく予定である。

さらに、RT情報生成にあたって、標準的に用意しておくべき、入出力データの制御方法やシステム制御信号などの整理と、論理合成結果を最適化にフィードバックする方法についても検討していきたい。

【参考文献】

- [1] 白井、竹沢、永井：“高級言語による仕様記述に基づく回路のデータパス系自動設計法”，情報処理学会論文誌，Vol. 21, No. 1, pp99-108, (1987-1)。
- [2] 黒澤、増淵、西尾、上田、宮田：“自動論理合成システムLUNAの適用と評価”，情報設計自動化研究会37-1, (1987-5)