

## 高速タイミング検証方式の実現とその効率評価

3U-7

米田 友洋 中出 和利 当麻 喜弘

東京工業大学 情報工学科

## 1. はじめに

リアルタイム・システム、論理回路等の検証では、各動作の結果の正しさのみならず、それらの動作の(順序性だけでなく)定量的な時間的關係に関する正しさについても確認する必要がある。さらに、動作に要する時間が、ある範囲内ではばらつきを持つことを考慮しなくてはならない場合もある。従来、Time Petrinetを用いた検証方式が提案されている[1]が、この方式では、発火可能なトランジション数が増加すると、検証終了までの発火回数、状態数が膨大となる。我々は、この問題点を解決するため、システムを構成する各ユニットの独立性を利用した高速タイミング検証方式を提案してきた[2]。ここでは、この方式を実際にインプリメントし、Time Petrinetを用いた検証方式と効率比較を行った結果について報告する。

## 2. 本検証方式の概要

ここでのタイミング検証とは、「システムの各動作のうち、指定された特定の動作の時間的關係が、ある時間的制約のもとで設計者の期待通りであるか否かを判定する」ことを意味する。これを実現するためには、与えられた時間的制約のもとでの、システムのすべての振舞いを生成する必要がある。Time Petrinetを用いた方式では、システムをTime Petrinetで記述し、すべての発火可能なトランジションの間に全順序關係を与えることにより、あらゆる到達可能な状態を生成する。しかし、このようにすべての発火可能なトランジションを対象として、それらの発火順序を考慮するため、上記のような問題が生じる。

そこで、我々は、システムを構成する各ユニットを独立した決定性有限オートマトンとして記述することにより、システムをモデル化するという方法をとった。このモデルでは、各ユニットは有限個の内部状態を持ち、イベントの発生によってのみ、そのユニットの内部状態は遷移し、また複数個の他のイベントを起動することがある。遷移先内部状態、および起動されるイベントは、発生したイベントとその発生前の内部状態によってのみ決まる。

このモデル化のもとでは、互いに異なるユニットで発生するイベントを、関係ないイベントとみなし、その発生順序を無視することができる。例えば、図1では、イベント $E_2$ と $E_4$ ( $E_5$ )、あるいはイベント $E_3$ と $E_4$ ( $E_5$ )の発生順序が変わっても、イベント $E_6$ と $E_7$ の発生順序が同じであれば、システム全体としての動作は同じであるといえる。これは、ユニットは、そのユニットで発生するイベントによってのみ影響を受けるからである。従って、上記のようなイベン

ト間の発生順序を無視しても、すべてのシステムの振舞いを生成し尽くせることが保証できる。さらに、このような互いに異なるユニットで発生するイベントは、システム中の多くのユニットが並列動作を行う場合、非常に多くなる。従って、それらのイベント間の発生順序を無視することにより、Time Petrinetを用いた方式と比較して、非常に高速に、かつ、少ない記憶域量で検証を行えるものと思われる。

## 3. 検証例

## (1) 被検証システム

検証対象は、図2に示す、要求装置数3の非同期式リングアービタとした。このアービタは[3]で示されたものを簡単化したものである。同図中の遅延素子(delay unit)は、非常に短い正パルスを、ある一定の幅を持つパルスに引き延ばす仮想的な素子である。RSフリップフロップは、短いパルスが入ることにより、発振し、正常なアービタの動作を行わないことがあるため、遅延素子によりこれを避けている。また、各装置(Unit)は、要求信号(REQ)を1とし、承認信号(ACK)が1となった後、 $\Delta$ だけ待ち、依然承認信号が1であれば資源を占有する。 $\Delta$ はトークンが第(i+1)段に渡ってから第i段のRSフリップフロップがリセットされるまでの時間以上の値とする。装置は、資源の使用後、要求信号を0とする。

このアービタに対し、以下の前提のもとで、「2台以上の装置が同時に資源を占有しないこと」を検証した。

- (a) 信号値のレベルは0と1のみを扱う。
- (b) AND/NORゲートの立上り遅延時間 $D_r$ 、立下り遅延時間 $D_f$ は、ある定められた範囲をとる値とする。
- (c)  $D_r$ 、 $D_f$ は、素子ごとに、定められた範囲内で独立な値をとる。
- (d)  $D_r$ 、 $D_f$ は、時刻ごとに、定められた範囲内で独立な値をとる(例えば、同一素子に2回パルスが入る場合、1回目の立ち上がり遅延時間と2回目の立ち上がり遅延時間は等しいとは限らない)。
- (e) 短い正パルスがゲートに入った場合に、立上り/立下り遅延時間の違いにより、立下りが立上りを追い越すことがある。このとき、そのパルスは出力側に伝搬しない(負パルスについても同様)。

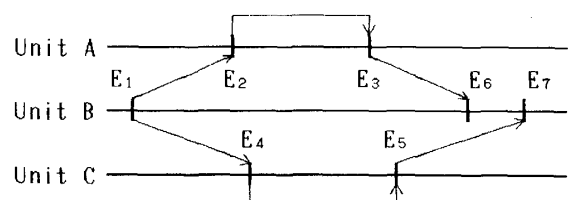


図1 異なるユニットで発生するイベント

Implementation of a Fast Timing Verification Method and its Performance Evaluation.

Tomohiro YONEDA, Kazutoshi NAKADE,  
Yoshihiro TOHMA

Tokyo Institute of Technology

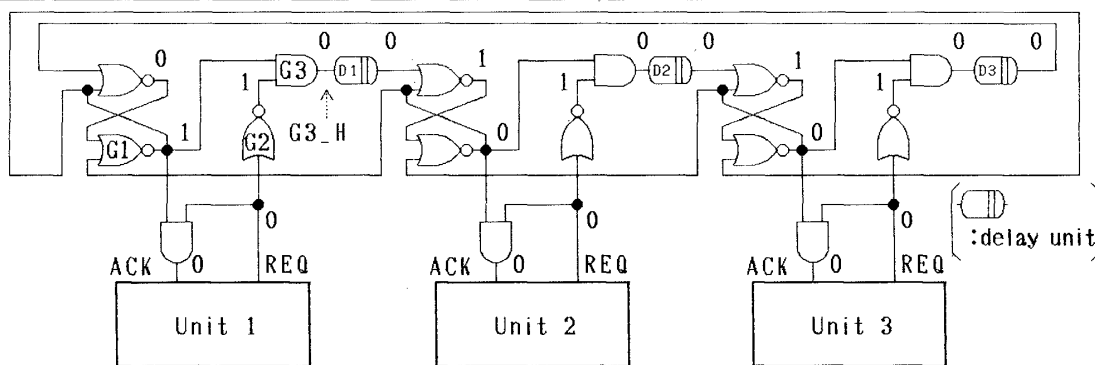


図2 アービタ

表1 制約条件

	制約条件1	制約条件2	制約条件3	制約条件4
Dr, Df	10~14	10~14	10~14	10~14
遅延素子の最小出力パルス幅	30	30	30	30
要求発生時刻(装置2)	要求なし	0~30	0~30	0~30
要求発生時刻(装置3)	要求なし	要求なし	0~60	0~60
資源占有時間(装置2,3)	-	100	100	100
Δ(装置2,3)	-	61	61	60

(注) 装置1は資源の占有要求を行わない。

表2 検証結果

	制約条件1			制約条件2			制約条件3			制約条件4		
	本方式	TPV	比	本方式	TPV	比	本方式	TPV	比	本方式	TPV	比
イベント発生(トランジション発火)回数	55	2208	40.1	167	81630	489	356	(149000)	(419)	229	10321	45.1
状態数	54	856	15.9	160	29575	185	337	(51359)	(152)	219	3880	17.7
実行時間(s)	2.6	10.1	3.9	4.4	600	137	19.5	(1440)	(73.8)	10.1	55.2	5.5
使用記憶域量(MB)	0.3	0.9	3.0	0.6	32.7	54.5	1.5	(59.3)	(39.5)	0.9	4.0	4.4
検証結果	正しい	正しい	正しい	正しい	正しい	正しい	正しい	-	誤り	誤り	誤り	誤り

(注) 「比」は本方式を1としたときのTPVの値である。

本方式では、各ゲート、装置等を独立した決定性有限オートマトンとして記述し、信号値の変化をイベントの発生として解析を行った。

評価方法としては、本方式とTime Petrinetを用いた方式について、検証終了までのイベント発生(トランジション発火)回数、生成された状態数、実行時間、使用記憶域量を比較する。使用計算機はVAX8600である。

(2)検証結果

表1に示す4つの制約条件のもとで検証を行った。また、初期状態として各信号線は図2に示す値を取り、G3の出力線に立上りが発生する時点から解析を開始した。要求発生時刻については、例えば装置2は、解析開始時刻を基準として、時刻0から時刻30の間に要求を出すことを意味する。制約条件1~3では、このアービタは「正しい」と判定されるはずである。制約条件4では、Δの長さが十分ではないため、トークンが次段に移って、承認信号が取り消される前に資源の占有を開始する状況が起こるはずである。このとき、2台以上の装置が同時に資源を占有する。

本方式とTime Petrinetを用いた方式(表2ではTPVと記す)による実行結果を表2に示す。制約条件3に対して、Time Petrinetを用いた方式では記憶領域不足のため、表2

に示す時点で実行を中断した。このように、本方式では、Time Petrinetを用いた方式に比べて、大幅にイベント発生回数、状態数を削減でき、それに伴い、実行時間、使用記憶域量を改善できた。同一ユニット上で発生するイベント間のみ全順序関係を与える、本方式の有効性が示せたといえる。

4.おわりに

本報告では、我々の提案した高速タイミング検証方式をTime Petrinetを用いた検証方式と比較し、効率評価を行った。アービタの検証例では、Time Petrinetによる検証方式に比べて、実行時間、使用記憶域量等を大幅に改善できた。今後、より実用的なシステムに対し、本方式の有効性を調べたい。

参考文献

[1] Berthomieu, B., Menasche, M.: "An Enumerative Approach for Analyzing Time Petri Nets", Information Processing 83, IFIP, pp41-46 (1983).  
 [2] 米田, 中出, 当麻, : "時間をパラメータとして含むシステムの検証について", 信学技法, FTS87-25, pp.1-8 (1988).  
 [3] 増山, 吉田, : "非同期制御用セルによるリングアービタ", 信学論 (D), J63-D, 2, pp.197 (1980).