

超高速シミュレータ
(HAL)による効果的論理検証

3U-4

蔵下 正広 西岡 浩 成友 京子
日本電気(株)

中田 勝
北陸日本電気ソフトウェア(株)

1. 概要

論理検証を高速、且つ効率良く行うために、ハードウェア論理シミュレータHAL(Hardware Logic simulator)と命令レベル・シミュレータ(T&D simulator)とを結合させたシミュレーション・システムTDHALを開発した。この方式によって、HALのみでシミュレーションを行った時に比べ、約1桁の検証効率向上が得られた。

本稿では、TDHALシステムの方式及び効果について述べる。

2. 現状の問題点

LSIを多量に用いた大型計算機の設計においては、LSI製造開始以前に論理回路のバグを撲滅しなければならない。その為には十分な論理検証が必要である。

論理シミュレータをハードウェア化する事によって高速化を行い、シミュレータ上でT&Dプログラムを走行させて設計品質の向上を図ってきた。しかし、全T&Dプログラムを短時間で走行させ、万全の設計品質とするには超高速シミュレータをもってしても難しい状況にある。これはT&Dプログラムの走行ステップが非常に長いためである。

3. TDHALシステム

3.1 TDHALシステム概要

以下の2点に着目し、T&DシミュレータとHALとを結合した。

- i) T&Dシミュレータは命令レベルのシミュレータで、記述レベルが粗いため、詳細な記述レベルのハードウェア論理シミュレータに比べ、数百倍速い。
- ii) T&Dプログラムの全ステップの内、被試験

命令部分は数パーセントにすぎず、残りの大部分はモニタ処理や、その被試験命令部分の前処理・後処理である。

TDHAL方式では、T&Dプログラムの被試験命令部分のみをHALを用いて論理検証し、それ以外の部分はT&Dシミュレータにより処理する[図1]。これにより、モニタ、前後処理時間を軽減させることができる。

乗り移りの際、両者はソフトウェア・ビジブルなレジスタ及びメイン・メモリの内容を送受信し合ってインタフェースを取っている。乗り移りのタイミングは、T&Dプログラム内に挿入されたダミーの命令を検出する事により同期をとっている。

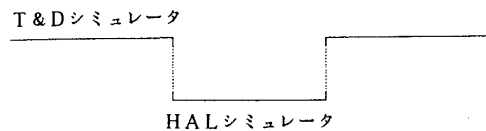
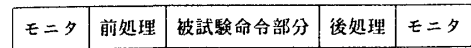


図1 シミュレータ分担図

3.2 TDHALシステム構成

図2にTDHALのシステム構成図を記す。HAL制御部及びT&Dシミュレータは当社のACOS 4 S630上で構築されている。HALはホスト・コンピュータのチャンネルに直結されている。

両者の乗り移り情報、つまりソフトウェア・ビジブルなレジスタやメイン・メモリの内容等は、ホスト・コンピュータ上でタスク間通信により受け渡している。HAL制御部は乗り移り情報をHAL内のメモリ表現に編集し、I/Oを切る事によりHALに転送する。

A Logic Verification System on the Hardware Logic Simulator, HAL
Masahiro KURASHITA*, Hiroshi NISHIOKA*, Kyoko NARITOMO*, Masaru NAKATA**
*NEC Corporation, **NEC Software Hokuriku, Ltd.

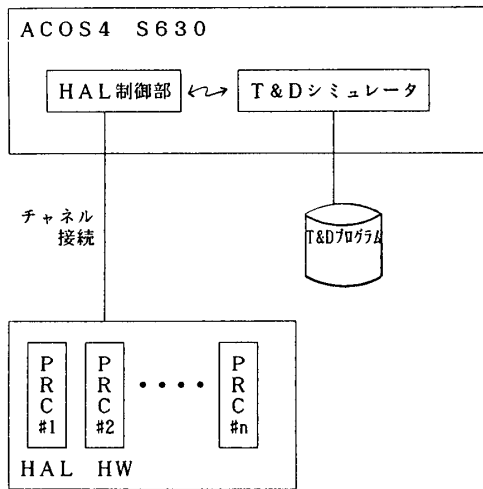


図2 TDHALシステム構成図

3.3 TDHALシステムの動作

図3に、TDHALの動作フローを記す。HAL及びT&Dシミュレータは同時に起動がかけられ、HAL側はモデルの初期化（FWのロード、レジスタの初期化）を行い、T&Dシミュレータはモニタの起動や前処理を行う。HAL制御部は、被試験命令の先頭部分でT&Dシミュレータか

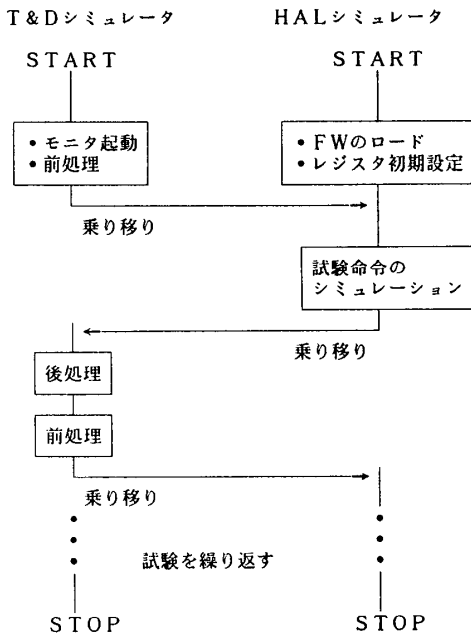


図3 TDHAL動作フロー

ら乗り移り情報を受け取り、HAL側へ転送しHALに起動命令をかける。HALは被試験命令部分をシミュレーションし、被試験命令部分の最後を検出するとHAL制御部に割り込みをかけ、HAL制御部はそれを受けT&Dシミュレータに乗り移り情報を渡す。T&Dシミュレータは後処理を行い、一試験を終了する。以降、両者は乗り移りを繰り返し、試験を継続する。

4. 効果

TDHAL方式を適用した結果、HAL単体でシミュレーションを行う時に比べ、数十倍の性能向上が得られた。この性能向上により、LSI製造開始以前にT&Dプログラムの殆どを走行し終え、十分な論理検証が可能となった。

5. 課題

一試験におけるそれぞれのシミュレータの実行時間比を下に記す。

T&Dシミュレータ	:	HALシミュレータ	:	編集&転送
= 2	:	3	:	3

この比から分かる様に、本来行いたい被試験命令部分のシミュレーション時間と、乗り移り情報の編集&転送時間とが同じくらいかかっている。今後は、HAL自身に編集機能を追加するなどして、更に高速化を図る予定である。

6. むすび

TDHAL方式をLSIを使用した装置設計に適用して大きな効果を得ることができた。今後は更に改良を加えて、全体の論理検証時間を少なくしていく予定である。

[参考文献]
 [1] S. Takasaki et al., "HAL II: A MIXED LEVEL HARDWARE LOGIC SIMULATION SYSTEM" DAC '86
 [2] 小池誠彦他「超高速シミュレータのハードウェアアーキテクチャ」情処学会第26回全国大会
 [3] 大森健児他「超高速シミュレータの内部処理方式について」情処学会第26回全国大会
 [4] 幅田伸一他「超高速シミュレータのシミュレーション制御方式」情処学会第26回全国大会
 [5] 富田恭一他「超高速シミュレータ(HAL)のソフトウェアアーキテクチャ」情処学会第26回全国大会