



そこで位相の違いのみに着目し、図に示すような信号値“C<sub>n</sub>”を考案した。“n”は相番号、すなわち位相を表わす。負極性のクロック信号は、“-C<sub>n</sub>”と表わす。

クロック信号値“C<sub>n</sub>”は、クロック信号の周期的な変化を表現しており、その極性、位相が変化しない限り、あるいは通常の“0”、“1”等の信号に変化しない限り、イベントを発生しない。

3.2 カレントクロック (CC) の導入

次に、クロック信号値を取り扱う論理シミュレーション実現のために、クロック信号値を含む論理演算を定義する。

論理演算は真理値表により定義される。通常の3値(“0”、“1”、“X”(不定値))による2項演算は3×3個の要素から成る真理値表で定義される。

しかしながらクロック信号値は、その相数Nに極性を乗じた、2N種類存在する。したがって、これらを含む2項論理演算の定義には、(2N+3)<sup>2</sup>個の要素を持つ真理値表が必要である。

このように複雑な、クロック信号を含む論理演算を効率的に実現するため、カレントクロック(CC)を導入した。

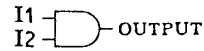
CCは、上記2N種のクロック信号値を、極性を含めて高々2×2種類にグループ化することを可能にする変数である。

CCは、1クロック周期内に、“C0”、“-C0”、“C1”、“-C1”、…、“C<sub>n</sub>”、“-C<sub>n</sub>”のように変化する。CCの値が“C<sub>n</sub>”であるとき、同じ“C<sub>n</sub>”で表わされるクロック信号は、その論理的な値は実際に“1”であり、他の正極性のクロック信号は“0”である。CCの値が“-C<sub>n</sub>”であるときは、すべての正極性のクロック信号は“0”、負極性のクロック信号は“1”である。このように、クロック信号値がCCと等しいか否かによりクロック信号は分類でき、極性を含めて2×2種類にグループ化され、その実際の状態(“1”か“0”か)を容易に判断できる。

3.3 クロック信号値を含む論理演算

CCの導入により、クロック信号を含む2項論理演算は、7×7の真理値表にて定義可能となる。それを図3に示す。

クロックイベント抑止方式による論理シミュレーションは、以上述べたクロック信号値と、それにもとづく論理演算を、従来のイベントドリブン方式に組み込むことにより実現される。



I1 \ I2	0	1	X	C <sub>n</sub>	-C <sub>n</sub>	C <sub>p</sub>	-C <sub>p</sub>
0	0	0	0	0	0	0	0
1	0	1	X	C <sub>n</sub>	-C <sub>n</sub>	C <sub>p</sub>	-C <sub>p</sub>
X	0	X	X	X/0	0/X	0	X
C <sub>n</sub>	0	C <sub>n</sub>	X/0	C <sub>n</sub>	0	0	1/0
-C <sub>n</sub>	0	-C <sub>n</sub>	0/X	0	-C <sub>n</sub>	0	0/1
C <sub>p</sub>	0	C <sub>p</sub>	0	0	0	C <sub>p</sub>	0
-C <sub>p</sub>	0	-C <sub>p</sub>	X	1/0	0/1	0	-C <sub>p</sub>

○：“0”、“1”、“X”の繰返しにより表現する。  
“n”はカレントクロックの相番号に等しい、p≠n。

図3. クロック信号値を含む論理演算

4. クロックイベント抑止の効果

図3に示した論理演算は、3値の論理演算よりはるかに複雑であり、一般にその実現にはオーバーヘッドを伴う。

VELVETでは、これらクロック信号値を含む論理演算は、専用ハードウェアにより、従来の論理演算と同様1マシンサイクルで実行可能とし、オーバーヘッドを最小限とした。

100万ゲート以上の規模の汎用大型計算機を対象に、評価実験を実施した。それにより、クロックイベント抑止方式に関し、以下の効果を確認した。

- (1)従来のイベントドリブン方式に比べ、処理イベント数の60%以上を削減した。
- (2)シミュレーションCPU時間の約40%を削減した。

5. 結言

クロック信号値“C<sub>n</sub>”と、カレントクロック(CC)導入により、クロックイベント抑止方式を効率良くイベントドリブン方式に組み込み、論理シミュレーション高速化を実現した。

参考文献

- 1) S.Nagashima et al.: Hardware Implementation of VELVET on the S-810 Supercomputer, ICCAD '86, pp.390-393.
- 2) E.G.Ulrich et al.: Design Verification for Very Large Digital Networks Based on Concurrent Simulation and Clock Suppression, ICCD '83 pp.277-280.
- 3) Y.Takamine, et al.: Clock Event Suppression Algorithm of VELVET And Its Application to S-820 Development, 25th DAC.