

## LSI 設計エキスパートシステムの開発 (2) セルレイアウト

2G-8

安倍義博, 宮崎俊彦, 三村祐治, 菊地一成, 浅野俊昭  
キャノン株式会社

### 1. はじめに

ICの製造技術の進歩にはめざましいものがあり、同じCMOSデバイスでも多種多様な製造プロセスが開発されてきている。ここで、スタンダードセル方式においては製造プロセスを替える度に、全セルのレイアウトを再設計しなければならない状況にあり、製造プロセス変更に伴うセルパターンのレイアウト設計が開発期間、労力の点で大きな問題となってきた。

そこで我々は、特にCMOSにおいて製造プロセスを限定しないセルレイアウト設計エキスパートシステムを開発中であるのでその概要を報告する。

### 2. システム構成

本システムは図1に示すように、回路データ変換部と配置・配線プラン作成部、パターン生成部、推論エンジンにわかれる。

まず変換部では回路データから接続情報を抽出し、推論エンジンが処理しやすいフォーマット(フレーム型)に変換する。次にこのデータからトランジスタの配置プラン、配線プランを作成する。その後このプランデータをもとにパターン生成を行なう。この時、設計ルールを参照する。またプランデータを保存しておけば、設計ルールが変更になってもパターン生成部のみ実行すれば良く製造プロセスを限定しないレイアウト設計システムが構成できる。

各処理内容はIF~Then~形式の知識ルールで書かれており、推論エンジンはこの知識を使って設計を行なう。特に推論エンジンは仮説空間を作って各状態を評価し、評価値の良い技から優先に探索する方法を取った。

以下では、配置、配線部、パターン生成部について説明する。

### 3. 配置プラン

#### ①トランジスタ回路のブロック化

CMOS回路では、PMOSとNMOSがペアになって構成されるので、このペアを回路より抽出しブロックとして扱う。

#### ②配置探索

探索方法として次の2つを考えた。

##### 1) 拡散層接続数最大の配置探索

MOS-Trの場合、拡散層どうして接続することで面積を小さくできるので、この拡散層接続数が最も多くなる配置を探索する。

##### 2) 総配線長最少となる配置探索

完全グラフによる総配線長を評価し、最少となる配置を探索する。

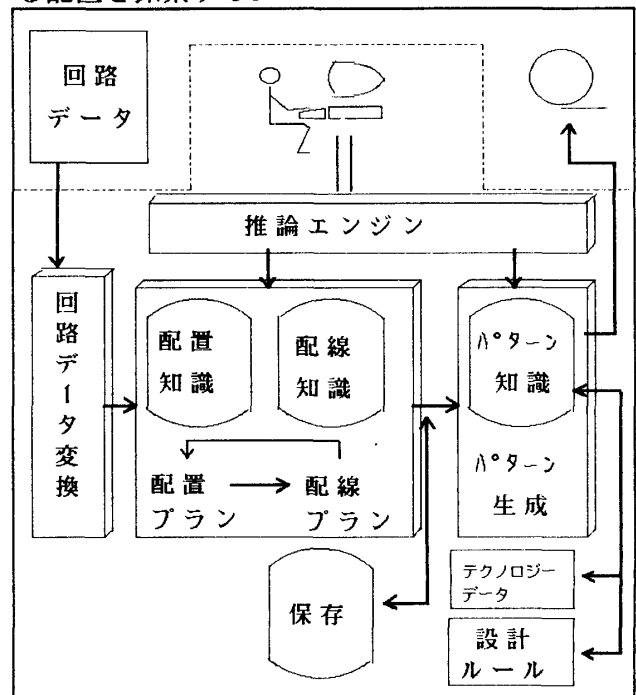


図1. システム構成

Expert System for LSI Design - (2) Cell Layout System

Yoshihiro Abe, Toshihiko Miyazaki, Yuji Mimura, Kazushige Kikuchi, Toshiaki Asano

CANON Inc.

実際には、前記2つの方法をミックスして使い、また時間をかけないように全探索は行わず極値解が見つかった状態で探索を打ち切る様にしてはいる。

#### 4. 配線プラン

##### ①配線領域の設定

回路のトランジスタ ( $T_r$ ) のゲート幅 ( $W$ ) によって、どの部分を配線領域にするか決定する。 $W$ の増大に従って、 $T_r$ 上を通過できる配線数 ( $AL$ ) を増やす。

##### ②配線探索

交差数、トラック数を評価値として用い、チャンネル・ルーターで配線探索を行なわせた。探索方法はトラック数が少ないものから優先に交差数が0となるまで探索する。

この時使う配線知識としては

- a) トラック1本配線 b) トラック2本配線
- c) P, N型の片側  $T_r$ 間のみの配線
- d) 配線タイプによる配線順番の指定

等である。また迷路法によるルーターも用意し、チャンネル・ルーターで解がえられなかった時、引けなかった配線について行うこととした。

##### ③配線の最適化

- 1) ジョグ挿入による縦方向コンパクション
- 2) コンタクト数を評価値とし、コンタクト数が少なくなる様に配線レイヤーを変更。

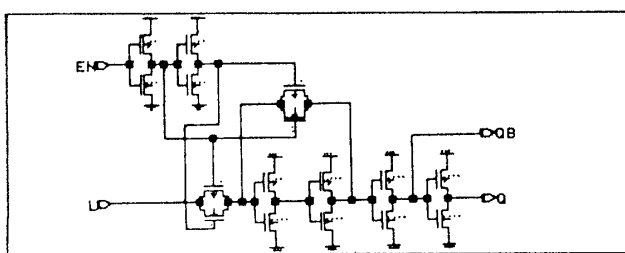


図2. D型ラッチ回路

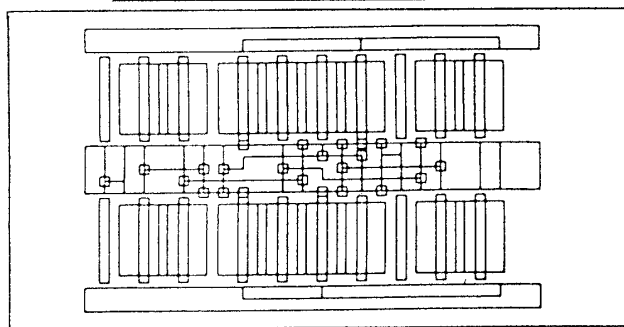


図3. 自動配置、配線プラン例

3) 配線レイヤーを変更した後でコンパクション可能なら再度1)を行なう。

##### 5. パターン生成

テクノロジー・データ (トランジスタ、コンタクト等の形状を指定) と設計ルール (ユーザ指定) を使い各オブジェクト間の相対位置を示した知識を用いて、各オブジェクト・パターンの絶対位置を決めてゆく。ここでは、仮説推論を行わなくても良く、単純に前向き推論による設計を行なわせている。

##### 6. 適用例

D型ラッチ回路について行なった例を図2、図3、図4に示す。結果を以下に示す。

トランジスタ数 = 16ヶ

$176.5 \times 110 \mu\text{m}^2$  (3.5  $\mu\text{m}$ ルール)

##### 7. おわりに

ルール・ベースを適用してシステムを構築したが、比較的簡単な知識で所望のレイアウト結果を得ることができた。またプログラムのデバッグや将来拡張性においてルールベース・システムは有効であることを確認した。

今後、より大きな回路 (モジュール) まで適用範囲を広げ、より高度な配置、配線の研究をすすめてゆく予定である。

##### 8. 参考文献

- [1] Rostam Joobbani, "An Artificial Intelligence Approach to VLSI Routing", Kluwer Academic Publishers
- [2] John S.J.Chen - David Y.Chen, "A design rule independent cell compiler", 24th ACM/IEEE DAC

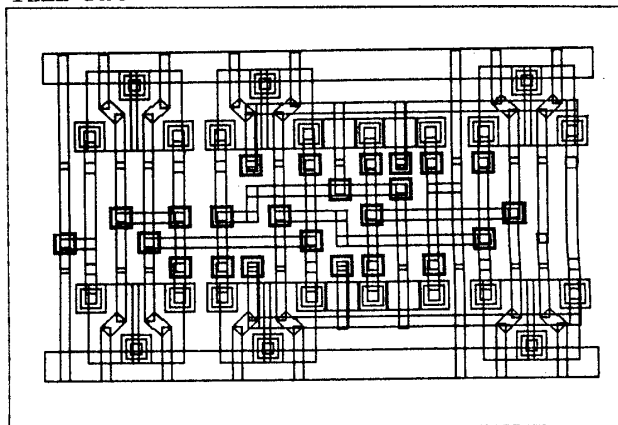


図4. レイアウト例