

高速並列処理ワークステーション (TOP-1) — バス・システム —

7N-3

大庭 信之、清水 茂則、若林 真一

日本アイ・ビー・エム株式会社 東京基礎研究所

1. まえがき

我々は小規模並列システムにおいて、高いコストパフォーマンスと汎用性の実現をめざして、高速並列処理ワークステーションTOP-1を試作した⁽¹⁾。本稿ではTOP-1のバス・システムについて、主に複数のバス・アクセス要求に対するTOP-1システムバス上のアービトレーションを中心に説明する。

2. TOP-1システムバス

2. 1. 概要。従来のプログラミングスタイルの継承と高い汎用性の確保を目的として、TOP-1では共有バス、共有メモリ方式のマルチプロセッサアーキテクチャを採用した⁽²⁾。共有バス方式のアーキテクチャは構成が比較的簡単であるという利点を持つ反面、バスのデータ転送幅がシステムのボトルネックに成り易いという欠点も持つ。後者に対して、TOP-1ではバス自体のバンド幅を可能な限り大きく設計すると共に、バスに接続される各プロセッサカードにはキャッシュを装備することにより、共有バスへの負荷を減少させた。TOP-1のキャッシュに関しては別稿⁽³⁾に譲り、本稿では共有バスについて説明する。

2. 2. バス構成。図1にTOP-1共有バスの概要を示す。バスの特長を以下にまとめる。

(1) デュアルバス。共有バスはそれぞれが64ビットのデータ幅を持つ2本のバス(Aバス、Bバスと呼ぶ)から構成されるデュアルバスシステムとして実現され、2本のバスはアドレスによりインタリーブされている。

(2) 同期バス。バス上の信号はシステムクロック(16MHz、もしくは20MHz)に同期して駆動される。

(3) 高速アービトレーション。バスへのアクセスは1クロック(62.5ナノ秒、もしくは50ナノ秒)で調停(アービレート)される。詳細は3.で述べる。

(4) メッセージパッシング。バス上のプロセッサ間において、1対1、及び、1対多のメッセージ通信機能がサポートされている。詳細は別稿に譲る⁽⁴⁾。

(5) コンフィギュレーション設定。共有バス上の各カードの仕様等をバスを介してソフトウェアにより知ることができ、さらに動作モードの設定等も可能である。

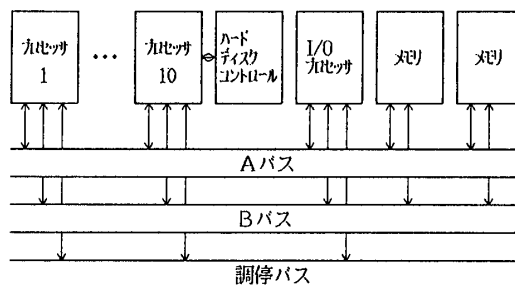


図1. TOP-1共有バス.

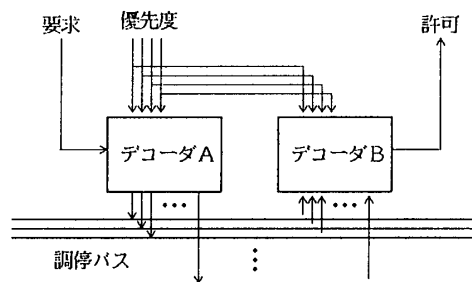


図2. 調停回路.

3. アービトレーション

3. 1. 高速アービトレーション。標準構成のTOP-1では10台のプロセッサと1台の入出力プロセッサ(以下ではこれらをバスマスタと呼ぶ)が互いに独立に共有バスをアクセスするため、バス使用权の獲得のためのアービトレーション(調停)が必要になる。調停回路(アービタ)に対する要求を以下に示す。

(1) 高速調停。調停に必要な時間が可能な限り短い。

(2) 分散処理調停。システム構成の変更を容易にし、かつ、バス構成の一様性を保持するため、集中化された調停回路を設けず、調停を分散処理方式で行う。

TOP-1では上記の条件を満足する調停回路を新たに開発した。各バスマスタには図2に示す調停回路が実装される。各調停回路はシステムバス内の調停バスに接続されている。調停回路は与えられたバス優先度を図3の真理値表に基づいてデコードし、その結果を調停バス上へ出力する。すなわち、バス優先度の値に対応する調停バス内のいずれか1本の信号線が、通常はハイインピーダンスであるTTLトライステートバッファにより、ローレベルにドライブされる(バスの各信号線はプルアップされている)。調停バスへ出力した調停回路は同一のクロック周期において、図4に基づいてバス上の信号をデコードし、自分自身がバスの使用权を獲得できた

要求 r	優先度				調停バスへの出力				
	p3	p2	p1	p0	ab10	ab9	...	ab2	ab0
1	0	0	0	0	z	z	...	z	0
1	0	0	0	1	z	z		0	z
⋮	⋮	⋮	⋮	⋮					
1	1	0	0	1	z	0		z	z
1	1	0	1	0	0	z	...	z	z
上記の組合せ以外					z	z		z	z

x: don't care, z: ハイインピーダンス

図3. デコーダAの真理値表.

優先度				調停バスからの入力					許可 ack
p3	p2	p1	p0	ab10	ab9	...	ab1	ab0	
0	0	0	0	1	1	...	1	0	1
0	0	0	1	1	1		0	x	1
⋮	⋮	⋮	⋮						
1	0	0	1	1	0		x	x	1
1	0	1	0	0	x	...	x	x	1
- 上記の組合せ以外									0

x: don't care, ack: 1=許可, 0=不許可

図4. デコーダBの真理値表.

かどうかを決定する。ここで、各バスマスタが各クロック周期において互いに異なるバス優先度を与えられていれば、調停バス上の各信号線は高々1個のTTLバッファでドライブされるだけなので、1クロックで調停が可能となる。バス優先度の制御については、次節で説明する。

3. 2. 優先権制御。TOP-1では、共有バス上にバス使用要求を発生するバスマスタが複数台(標準構成のTOP-1で11台)あるので、同時に2台以上のバスマスタからバス使用要求が発生することがある。その場合は、複数の使用要求に対し、各バスマスタの持つ優先度に基づきバスマスタを1つ選択して、バス使用を許可しなければならない。従来、優先度の割当てに関して、以下の2通りの方法が使われている。

(1) 固定優先度方式。バスマスタにそれぞれあらかじめ固定された優先度が設定されており、同時に2台以上のバスマスタからバス使用要求が出された場合には、その中で最も高い優先度を持つバスマスタへバス使用許可を与える。この方式は実現上最も簡単なものであるが、バスマスタの数が多い場合には優先度の低いバスマスタがいつまでたってもバスを獲得できない状況が起こり得るという欠点を持つ。

(2) 順送り(ラウンドロビン)方式。バスマスタにそれぞれ通し番号が与えられ、その値に従って優先度が決定される。通し番号はバスの使用に従ってダイナミックに変化させ、バス使用の平均化を図る。この方式は各バスマスタを平等に扱うという利点がある反面、一部のバスマスタの優先度を固定にしたい場合には対処できない。

TOP-1においては、従来の優先権制御方式の欠点を解消し、さまざまなアプリケーションにおいて、バス

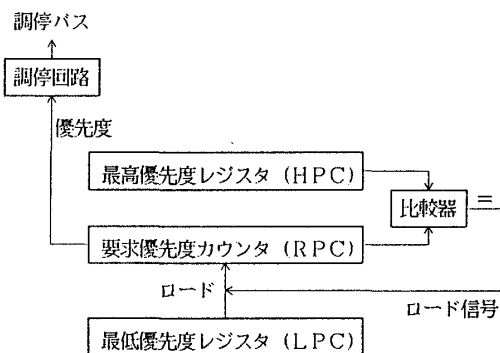


図5. 優先権制御ハードウェア.

使用優先度を柔軟かつ最適な形で各バスマスタに与え、バス使用効率を高めることによって、システム全体の性能向上を実現している。例えば、ある1台のバスマスタには常時最高の優先度を与え、他のバスマスタ群に対しては優先度を順送りさせて平等なバス優先度を与えるようにするなど、細かな制御が可能になる。さらに、システム稼働中に動的に優先権制御の方式を変更することも可能である。

図5にバス優先権制御のハードウェアの概要を示す。各バスマスタは自分が持つ最高の優先度を示す最高優先度レジスタ(HPC)、最低の優先度を示す最低優先度レジスタ(LPC)、及び、現在与えられている優先度を示す要求優先度カウンタ(RPC)の3つのレジスタを保持している。ここで優先度は2進数で表現され、値が小さいほど優先度が高いものとする。TOP-1共有バス上のバスマスタがバス使用を要求する場合、その時点のRPCの値を自分のバス優先度として、3. 1の調停回路を介して、調停に参加する。バスが獲得できれば、バスの使用を開始し、獲得できなければ、次のバスサイクルで再び調停に参加する。調停に参加したか否かに関係なく、バスが自分を含むいずれかのバスマスタによって使用が開始された時点で、すべての調停回路のRPCの値は次式に従って更新される(ここで、R, H, Lはそれぞれ、RPC, HPC, LPCの値である)。

$$\text{if } R = H \text{ then } R \leftarrow L \\ \text{else } R \leftarrow R-1$$

すなわち、調停が終わるごとにRPCは1ずつ減ぜられ、自分が許されている最高の優先度に達したら、再び自分の持つ最低の優先度に戻るようになる。

文献

- (1) 鈴木: "高速並列処理ワークステーション(TOP-1) -開発方針-", 第37回情報処理学会全国大会論文集(1988).
- (2) 大庭, 小原, 清水, 中田, 森脇, 若林: "同上-アーキテクチャー", 同上.
- (3) 大庭, 清水: "同上-スヌープ・キャッシュ-", 同上.
- (4) 小原, 清水: "同上-並列処理同期化機能-", 同上.