

ベクトルプロセッサPUのアドレス制御方式

4N-5

真鍋 俊彦, 岩佐 繁明, 前田 明

(株)東芝 総合研究所

1. はじめに

画像処理を始め、様々な分野で高速処理の要求が高まっている。我々は、通産省工業技術院の大型プロジェクト「科学技術用高速計算システムの研究開発」の一環として、画像処理を応用の一つとする高機能並列処理システムVPP (Variable Processor Pipeline) の研究開発を進めてきた。VPPは多数のベクトルプロセッサPU (Processor Unit) を非常に高速な結合部で結合した、MIMD方式の並列計算機である。現在、我々は、PUの主要部分をゲートアレイ化し一枚の基板にまとめ、このPU8台を用いたVPPパイロットモデルの開発評価を行っている。以下では、PUのアドレス制御方式について説明する。

2. PUのベクトル演算方式

我々は、条件分岐や間接アドレス演算を含む処理を効率よく実行するために、配列のインデックスの集合をインデックスセットとして定義し、陽に操作できる機能(条件に応じてインデックスセットを分類できる機能など)をPUに付加した。このインデックスセットの機能を容易に実現するため、およびPUの1ボード化が可能ないようにハードウェアコストを抑えるために、PUでは、ベクトルレジスタを設けない、メモリーメモリ演算方式を採用した。

3. アドレス制御部の構成

PUのアドレス制御部はインデックスセットを基本としており、データメモリ(DM)のアドレスは、インデックスセットから生成される。一つの演算オペランドに関するアドレス制御部の構成を図1に示す。インデックスが等差数列(例えば、1, 3, 5, ...)であれば、カウンタ(counter)によりインデックスセットを生成し、間接アドレス演算のような場合には、データメモリから各インデックスを読み出してくる。DMのアドレスはこのインデックス(IXとする)を用いて、

ベースアドレス(base adr.) + 増分(incr.) * IX
で求められる。ここで増分は、インデックスが1増えたときのアドレスの増分である。

図1のADRレジスタとWADRレジスタは次のように機能する。まず、生成されたアドレスはADRレジスタに入る。ADRレジスタ上のアドレスは同一メモリバンクのアクセス競合解消のためのアービトレーションの対象になり、その結果、アクセスが許可されないと、WADRレジスタに退避される。同時に、次のアドレスがADRレジスタ上に生成される。WADRレジスタ上のアドレスもアービトレーションの対象になる。ADRレ

ジスタの他にWADRレジスタを用意することにより、同一メモリバンクのアクセス競合が生じて、アドレス生成を中断する必要がなく、大幅な効率低下が起きない。

なお、アドレスの下位ビットによりバンクを選択する方式では、バンク数の整数倍ごとのアドレスにアクセスすると競合が多発するので、PUでは、アドレスビットを適当なグループに分け、このグループ内の全ビットを排他的に論理和し、その結果を基にバンクを選択する方式を採用した。

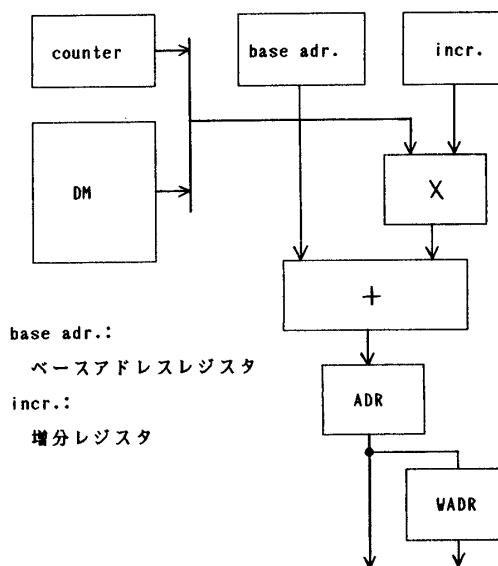


図1. アドレス制御部の構成

4. 予備的評価

PUのアドレス制御部を設計する際に、次の観点からその方式上の効果をシミュレーションにより、簡単に評価した。評価の目的は、メモリバンク数の決定と、WADRの効果の確認である。

(1) データメモリのバンク数によるアクセス効率の変化

PUは一枚の基板にまとめるため、大規模なバンク構成はとれない。ここでは、2-16バンクの範囲内で、以下の(2), (3)の観点と関連して、バンク数の増加がどの程度効率に影響するか調べた。バンク選択方式は、前節で説明した方式である。ここでの評価は、バンク選択方式の評価も一部兼ねている。

(2) オペランド数によるアクセス効率の変化

通常の演算では、読み出し用アドレス2個と書き込み用アドレス1個によるアクセスが同時に行われる。この場合、メモリアクセスのオペランド数は3である。PUではその他に、間接アドレス演算用のインデックスの読

み出しと、インデックスセットの分類の際のインデックスの書き込みが同時に行われる可能性がある。このため、ここでは2-5オペランドの場合について調べた。

(3) WADRの有無によるアクセス効率の変化

WADRを備えた場合と、備えなかった場合とで、どの程度の効率の変化が生じるか調べた。

アクセス効率については、

$$\frac{\text{アクセスデータ数}}{\text{メモリアクセスにかかったサイクル数}} \times 100 (\%)$$

で表現している。シミュレーションの対象としては、次の2ケースを選んだ。

(データ1) 各オペランドごとに異なるベースアドレスからの連続アドレスによるアクセス

(データ2) 各オペランドごとに乱数から生成されたアドレス列によるアクセス

アクセスデータ数はどちらの場合も4096である。シミュレーションの結果を図2に示す。これらの結果から次のことが明らかになった。

- (1) 当然のことながら、バンク数が多ければ多いほど効率がよい。
- (2) オペランド数の増加に対しては、バンク数が多いほど効率低下が少ない。
- (3) WADRを備えることにより、評価した多くの場合、10%前後の効率向上を実現できる。

(4) WADRを設けると、バンク数が8から16に増えても、大幅な効率向上は得られない。

以上から、パイロットモデルのPUでは、WADRを設置することと、メモリバンク数を、ハードウェアコストとの兼ね合いから8にすることを決定した。

5. まとめ

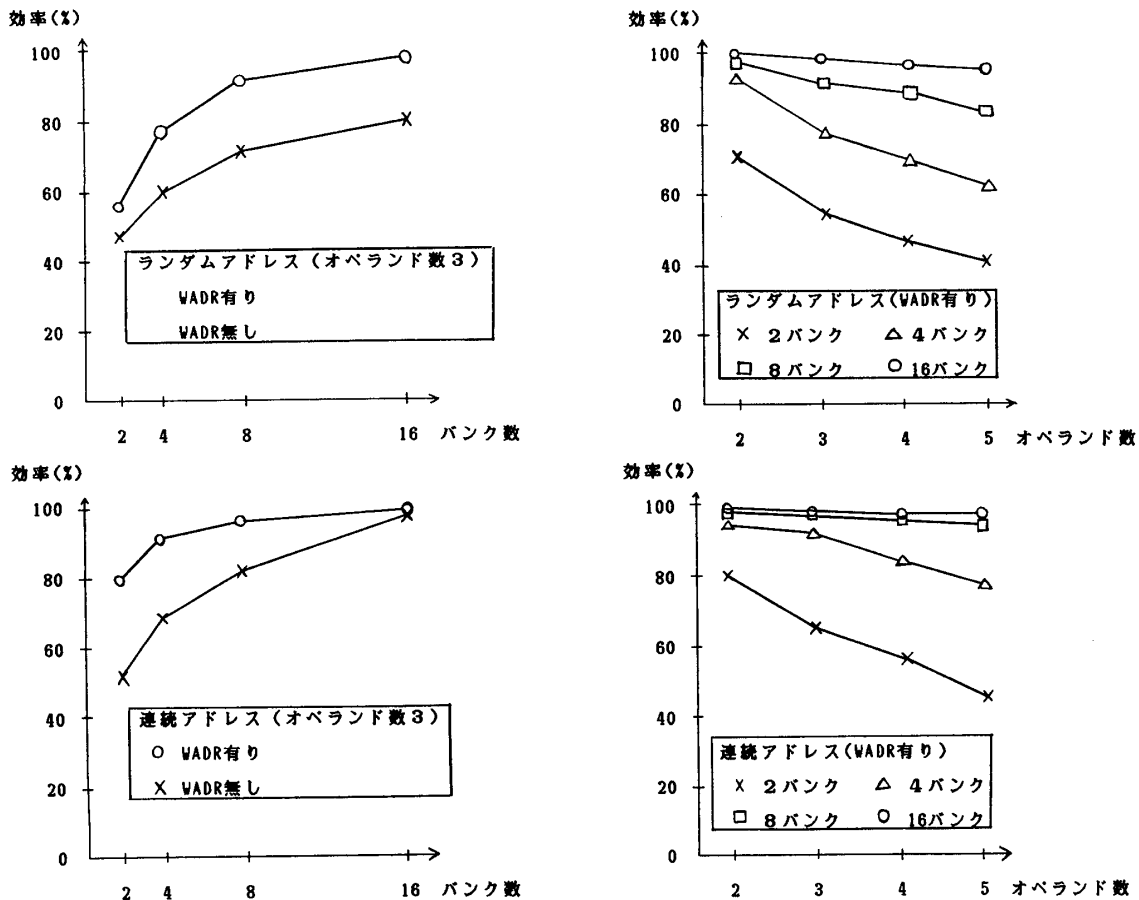
パイロットモデル版VPPのPUについて、そのアドレス制御方式について説明した。また、その制御方式についての予備的評価について報告した。

PUのアドレス制御方式では、バンク選択方式の工夫とアドレスレジスタの二重化により、アクセス競合発生時の効率低下を防ぐようにし、その効果を予備的評価で確認した。また、その結果により、メモリバンク数を8にすることに決定した。

今後、実機を用いて、アプリケーションの面からさらに詳しい評価を進めていく予定である。

参考文献

- [1] 前田他：インデックスセット処理機能をもったベクトル計算機のアーキテクチャ、第30回情処全大4B-5、1985
- [2] 岩佐他：ベクトルプロセッサPUのLSI化アーキテクチャ、第35回情処全大4C-7、1987



(a) WADRの効果 (バンク数別) (b) バンク数による効率の変化 (オペランド数別)

図2. 予備的評価の結果