

FLAP: 故障解析プロセッサ
機能概要

7R-5

辺保 久 牛久保 政憲 木幡 一博 菊地原 秀行 村上 道郎

沖電気工業(株) 超LSI研究所

1. はじめに

近年のLSIの高密度化、大規模化に伴い、故障シミュレーションに費やされる計算機処理時間が、増大の傾向にある。このため、弊社では、既存の平行法を用いた故障シミュレータ(FUNTASY^[1])に代わるものとして、コンカレント法^[6]を用いた故障シミュレータを核とした故障解析プロセッサ(FLAP: FauLt Analysis Processors)を開発し、実用化した。

本論文では、おもに、FLAPの階層構造をも考慮した故障定義プロセッサを中心に、各プロセッサの機能について述べる。

2. FLAPの位置付け

FLAPは、弊社の論理CADシステムBINALLY^[2]と強く結合しており、複数のプロセッサ群から構成されている。図1にその位置付けを示す。

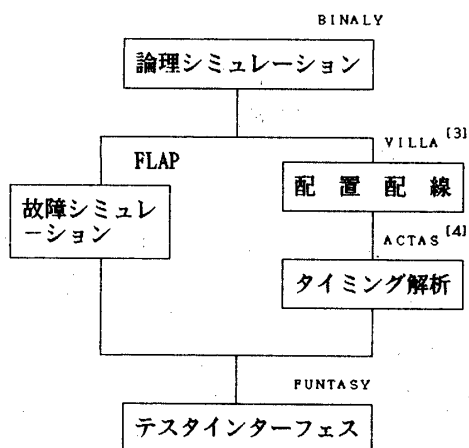


図1 位置付け

3. FLAPの機能

FLAPにおける各プロセッサの処理フローを、以下に示す。

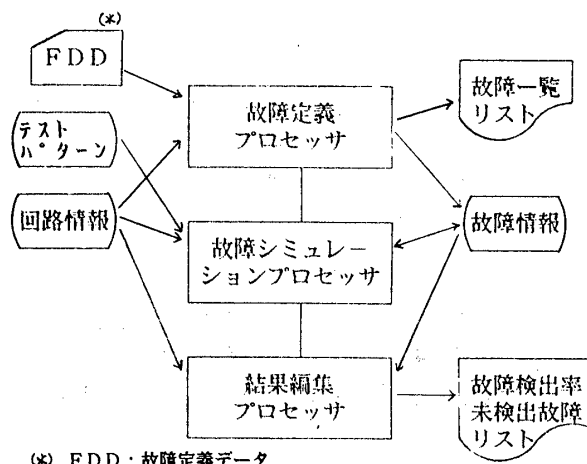


図2 処理フロー

3.1 故障定義プロセッサ

BINALLYで作成済の回路情報と故障定義データ(FDD)により、故障の定義を行う。

定義される故障としては、0,1の単一縮退故障のみである。

なお、回路が階層構造である場合、一部の階層のみに、故障を定義することも可能である。

3.1.1 故障の削減

故障シミュレーションの処理時間を左右する大きな要因の1つに故障数があり、FLAPでは、以下のような故障の削減を行っている。

(1) 等価故障解析

故障の等価性を、素子の動作および接続関係から求めている。

ここで、素子の入出力端子の等価

故障解析時には、実際に着目素子に入力パターンを与え、得られた各端子の出力パターンをもとに、等価性を求めている。

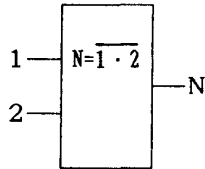


図3

例えば、図3の素子の場合、

(ア) まず、1,2の端子に入力パターン $0X$ ('X0') を、印加すると、Nの端子に '1' ('1') が、得られる。

(イ) 次に、1,2の端子に $1X$ ('X1') を印加すると、Nの端子に X ('X') が、得られる。

(ウ) これら(ア)と(イ)の結果より、1と2の端子の0故障とNの端子の1故障は、等価性があると見なせる。

これが、FLAPの特徴の1つであり、これにより、機能記述ブロック^[5]の入出力端子の故障の等価性を、求めることができる。

なお、マルチ出力素子の場合、この処理に加えて、内部接続を考慮し等価性を求めている。

(2) 検出不可能故障の削除

論理値が、変化しない端子の故障のうち、当論理値と同一の論理値の故障、および、クロックライン上の故障は、削除している。

また、全外部出力ピンより、バックトレースを行い、その結果から、外部出力ピンに影響を与えない故障の削除も行っている。

3.2 故障シミュレーションプロセッサ

本故障シミュレーションプロセッサは、コンカレント手法を基本アルゴリズムとして、種々の改良を加えている。その詳細については、他の文献^[7]に譲るとし、以下に本プロセッサの機能を示す。

3.2.1 信号値

信号値としては、

0 - 論理値 '0'

1 - 論理値 '1'

X - 不定状態

Z - ハイインピーダンス状態

L - 論理値 '0' のハイインピーダンス状態

H - 論理値 '1' のハイインピーダンス状態

の6値を扱っている。

3.2.2 遅延

素子固有の遅延はもちろん、配線遅延をも扱っている。

3.2.3 マルチパスシミュレーション

対象回路が大規模である場合、自動的に故障を分割してマルチパスシミュレーションを行う。

3.3 結果編集プロセッサ

故障シミュレーションで得られた、各検出故障の累積結果をもとに、種々のリストを提供する。

4. おわりに

現在、FLAPは、弊社ゲートアレイおよびスタンダードセル方式のLSIの設計を中心に適用されている。

今後は、その機能拡充、高速化^[8]、および大規模回路用に統計的故障解析機能の導入を、図って行く予定である。

最後に、日頃、御指導戴く平川LSICAD研究部長に深謝致します。

6. 参考文献

- [1] Murakami et al., 'LOGIC VERIFICATION AND TEST GENERATION FOR LSI CIRCUITS', 1980 Test Conference
- [2] Hirakawa et al., 'LOGIC SIMULATION FOR LSI', 1982 DAC
- [3] 山本他, 'VLSIレイアウトシステム(VILLA)用自動配線プログラム', 1984設計自動化24-3
- [4] 村岡他, 'ACTAS-詳細タイミングを扱うタイミング解析システム', 第28回情報処全大
- [5] 大西他, 'BINALYにおける機能ブロック記述言語', 第24回情報処全大
- [6] E. Ulrich et al., 'The concurrent simulation of nearly identical digital networks', 1974 DAC
- [7] 牛久保他, '大規模階層モデルにおけるコンカレント故障シミュレータの高速化手法', 第31回情報処全大
- [8] 牛久保他, 'FLAP:故障解析システム-シミュレーション部評価', 本大会7R-6