

スタンダードセルLSI統合レイアウトシステム (6)  
 ——パラメトリックセル自動生成——

6R-9

小山正弘  
 ソニー株式会社 半導体事業本部

1. はじめに

LSIの大規模化に伴いROM/RAM/PLA等を組み込む機会が増加している。しかし、従来のスタンダードセル設計方式では、あらかじめ固定化されたライブラリより所望のセルを選択する為冗長度が大きく、また希望のセルが無い場合、新規設計を行うことになり、LSI開発期間の長期化をきたす。

そこで、アドレス幅、データ幅等のパラメータを入力する事で、最適なサイズのROM/RAM/PLA等を生成できるパラメトリック・セル・コンパイラを開発した。

さらに、セル開発者が自由に最適なパラメトリック・セル・コンパイラを作成するパラメトリック・セル・コンパイラ開発用ツールとして、パラメトリック・セル・コンパイラ・コンパイラをあわせて開発した。

本機能は、単独でも使用可能であるが、スタンダードセル設計システムの一機能として組み込まれ、柔軟なスタンダードセル設計システムを構成している。

本文では、パラメトリック・セル・コンパイラ・コンパイラについて述べる。

2. 概要

スタンダードセル統合設計システムにおける、パラメトリック・セル・コンパイラの位置付けを図1に示す。

LSI設計時は、パラメトリック・セル・コンパイラに必要なパラメータを定義ファイルに定義する。本パラメータは、論理シミュレータと共通管理され、システムの一貫性を保証している。この定義ファイルを入力とし、パラメトリック・セル・コンパイラはシミュレーションの為にシミュレーション・モデル、及びレイアウトの為にフィジカル・パターンを生成し、カスタム・セル・ライブラリへ登録する。これらのライブラリを参照し、シミュレーション及びレイアウトが行われる。

一方、パラメトリック・セル・コンパイラ・コンパイラは、タイル形式を採用しており、コンパイラ・コンパイラ部とジェネレータ部からなる。

パラメトリック・セル・コンパイラ開発者は、後述するパラメトリック・セル定義言語を用い、タイル(プリミティブ)の相対的な配置構造を記述し、コンパイラ・コンパイラにより、パラメトリック・セル・コンパイラを作成する。

3. システム構成

本システムの構成を図2に示す。

プリミティブ・パターンから、ルール・ファイルに定義されたルール(デザイン・ルール、レイヤ対応表等)

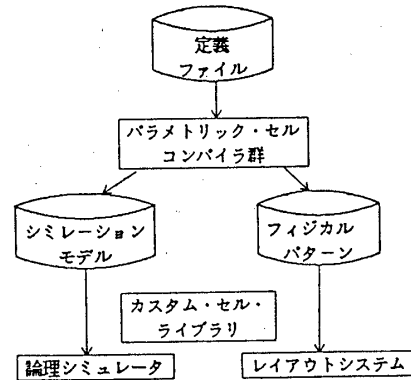


図1. パラメトリックセルコンパイラの位置付け

に従い、必要情報(形状、端子位置、端子レイヤ等)を抽出し、プリミティブ・ライブラリを作成する。

プリミティブの相対的な配置構造を、パラメトリック・セル定義言語(PCDL)を用いて記述する。この記述は、コンパイラ・コンパイラにてシンタックス・チェックが行われ、パラメトリック・セル・コンパイラが作成される。

定義ファイルには、どのパラメトリック・セル・コンパイラを使用するか、また個々のパラメトリック・セル・コンパイラに対応したパラメータ(例えば、ROMの場合、アドレス幅、データ幅、1/0パターン)が定義される。

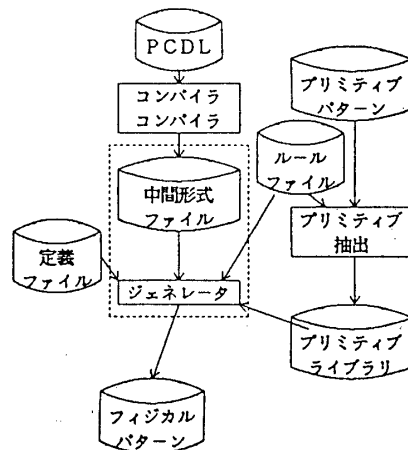


図2. システム構成

