

5R-1 スタンダードセル遅延パラメータ抽出システム

井上 雅夫 寺尾 淳子 羽山 繁
 (松下電器産業株式会社 半導体研究センター デバイス開発研究所)

1. はじめに

近年LSIは高集積化が進み、レイアウト設計の自動化が必要不可欠になってきている。レイアウト設計手法の一つであるスタンダードセル方式の自動レイアウトにおいては、最適な配置、配線を行うため、セル内の遅延情報(入力容量及び遅延時間等の回路パラメータ)が必要とされる。またレイアウト後の動作検証において、実遅延論理シミュレーションを行うためには、高精度な遅延情報のフィードバックが必要である。そこで我々は、スタンダードセルに対して、高精度な回路パラメータの抽出及び論理の認識を行い、セル内の論理に応じた遅延パラメータを算出するシステムFRIEND-C (FRIEND-C: FFrom Ic mask pattern Extracting the Net and Delay on standard Cell)を開発したので報告する。

2. システム構成

MOS/LSIレイアウト検証システムFRIEND-M/L/C全体の構成を図1に示す。FRIEND-Mではマスクパターンから回路接続の抽出及び回路パラメータの算出を行い、回路情報を出力する。FRIEND-Lでは抽出した回路情報から論理を認識し、論理情報を出力する。今回開発したFRIEND-Cでは、抽出した回路情報及び論理情報を用いて遅延解析を行い、遅延パラメータを算出する。算出した遅延パラメータは、自動レイアウト用遅延データに変換されるとともに、セル内遅延情報として論理シミュレータへフィードバックされる。

3. 遅延パラメータ t_0 , Δt

本システムで用いる遅延パラメータについて、以下に説明する。配線にAl 2層を用いたCMOS論理回路では、配線抵抗が無視できるため、信号伝播遅延時間 τ_d は、負荷容量 C_L に対して図2のような線形関係で近似できる。図2において、切片 t_0 と傾き Δt を遅延パラメータとして定義する。この遅延パラメータを用いることにより、遅延時間の評価が容易になる。

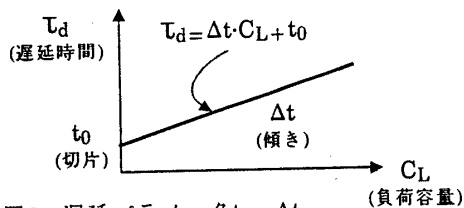


図2. 遅延パラメータ t_0 , Δt

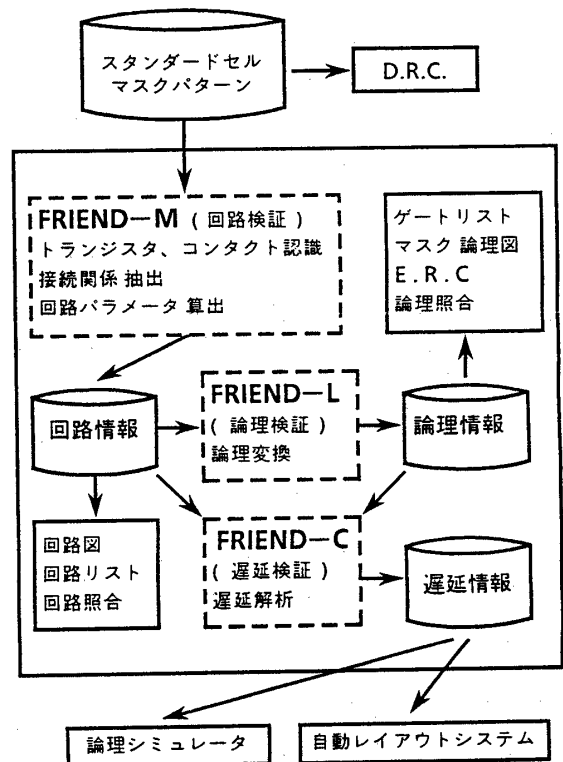


図1. FRIENDシステム構成図

4. 処理概要

図3に従ってFRIEND-Cの処理の流れを説明する。

(1) SPICE素子記述カードの作成

FRIEND-Mにより得られた回路情報(トランジスタのL,W,容量等)をもとに、SPICE素子記述カードを自動作成する。

(2) SPICE入力波形カードの作成

FRIEND-Lで得られた論理情報をもとに、セルの入力数Nに対して2N個の論理入力パターンを生成し、各入力パターン毎の論理出力パターンを計算する。次に全ての入力パターンについて、SPICE用入力波形カードを作成する。入力波形は2nsecの遅延時間を持つランプ入力を使用する。図4に、複合ゲート2ANDNORで入力パターン及び入力波形を作成した例を示す。

(3) SPICEによる遅延解析

- a. (1)で得られた素子記述カードと(2)で得られたSPICE入力波形カードを合成した、SPICE入力データ作成し、SPICEによる回路シミュレーションを実行する。回路シミュレーションは、SWEEP解析(負荷容量値を変化させながら過渡解析を行い、各容量値毎に遅延時間を計算する解析)を行う。このとき負荷容量値は各セルのドライブ能力によって最適な範囲で変化させる。
- b. SWEEP解析で得られた遅延データを最小自乗法により直線補間して、3で述べた遅延パラメータ t_0 (切片)と Δt (傾き)を計算する。
- c. a,bの処理を、作成したすべて入力波形について繰り返し実行する。次に各入出力ピン毎に遅延パラメータをまとめ図6のような遅延パラメータテーブルを作成し、セルライブラリに登録する。

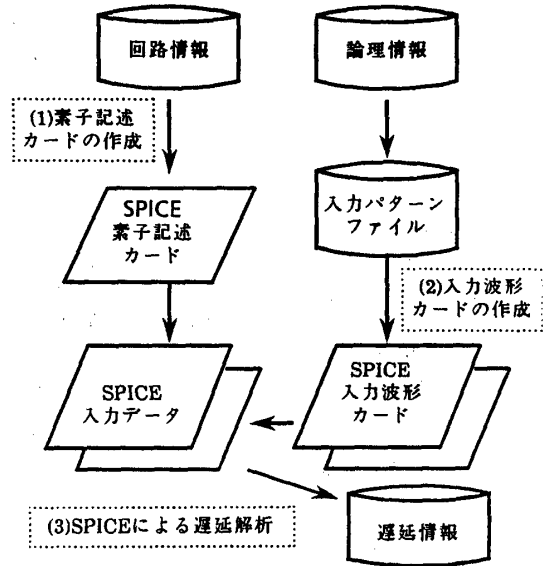


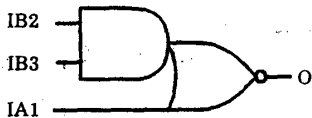
図3. FRIEND-C処理の流れ

5. 実行結果

本システムを実際の開発品種に適用し、基本ゲート、複合ゲート、ラッチ、フリップフロップ等約100種類のスタンダードセルの遅延パラメータを算出した。一例として、2ANDNORのSPICEによる解析結果を図5に、算出した遅延パラメータの例を図6に示す。この結果、算出した遅延パラメータはスタンダードセルの性能検証にも有効であることが確認できた。なお本システムは、M380Q上で動き、SPICEによる回路シミュレーションは、VP-100を用いた。

入力パターン IA1,IB2,IB3	出力値 O
VIN1003 3 1 PWL(0N 0 20N 0)	0 0 0
VIN1007 7 1 PWL(0N 0 20N 0)	0 0 1
VIN1008 8 1 PWL(0N 0 20N 0)	0 1 0
@OUT = TCROSS(V(5),2.5,DOW)	0 1 1
@IN = TCROSS(V(8),2.5,UP	1 0 0
@DELAY = @OUT-@IN	1 0 1
.SWEEP &CL(LINEAR,0.1P,0.9P,0	1 1 0
.PSWEEP TCROSS &CL PRINT @	1 1 1
CL 5 1 &CL	

図4. 入力パターンと入力波形カードの例



出力	入力	t_0 (nsec)		Δt (nsec/pF)		
		立ち上がり	立ち下がり	立ち上がり	立ち下がり	
O	IA1	0.222	0.356	1.09	1.11	最小遅延
		0.571	0.465	1.48	1.19	平均遅延
		0.653	0.595	1.63	1.17	最大遅延
	IB2	0.222	0.356	1.09	1.11	最小遅延
		0.533	0.401	1.35	1.20	平均遅延
		0.648	0.445	1.38	1.30	最大遅延
	IB3	0.222	0.356	1.09	1.11	最小遅延
		0.515	0.475	1.36	1.14	平均遅延
		0.648	0.595	1.38	1.17	最大遅延

図6. 遅延パラメータの例

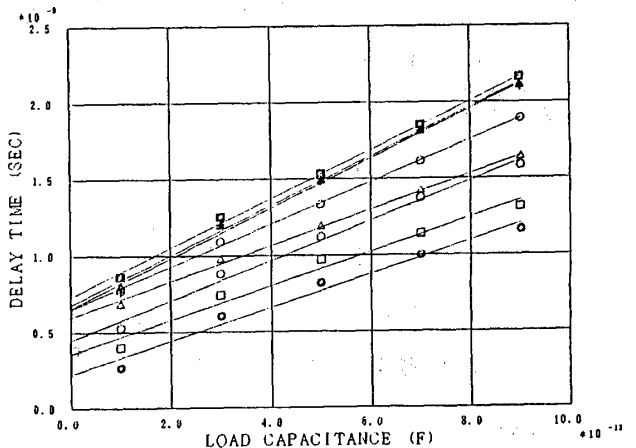


図5. SPICEによる遅延解析例

6. おわりに

本システムは、スタンダードセルのマスクパターンから、論理に応じた遅延情報を高精度でかつ効率的に抽出するシステムである。これを実際の開発品種に適用して、約100種類のスタンダードセルの遅延パラメータを算出し、妥当な結果が得られた。さらに抽出した遅延データを論理シミュレータにフィードバックすることにより、実遅延論理シミュレーションを可能にした。最後に、御協力いただいた半導体研究センターの設計グループの方々に深謝いたします。